



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 G06F 9/06, G11B 20/10		A1	(11) 国際公開番号 WO97/38367
			(43) 国際公開日 1997年10月16日(16.10.97)
(21) 国際出願番号 PCT/JP97/01204 (22) 国際出願日 1997年4月9日(09.04.97) (30) 優先権データ 特願平8/89613 1996年4月11日(11.04.96) JP 特願平8/240401 1996年9月11日(11.09.96) JP		芝崎信雄(SHIBASAKI, Nobuo)[JP/JP] 〒187 東京都小平市小川町1-735-8 Tokyo, (JP) 四ツ谷三男(YOTSUTANI, Mitsuo)[JP/JP] 〒370-12 群馬県高崎市倉賀野町846-3 Gunma, (JP) 石井 努(IISHII, Tsutomu)[JP/JP] 〒270 千葉県松戸市常盤平岸前14-18 (株) 日立セミコンデバイス 松戸寮B-309 Chiba, (JP)	
(71) 出願人(米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 株式会社 日立マイコンシステム (HITACHI MICROCOMPUTER SYSTEM, LTD.)[JP/JP] 〒187 東京都小平市上水本町5丁目22番1号 Tokyo, (JP)		(74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP)	
(72) 発明者; および (75) 発明者/出願人(米国についてのみ) 萩原光夫(HAGIWARA, Mitsuo)[JP/JP] 〒370-11 群馬県佐波郡玉村町植越1664-2 Gunma, (JP) 高橋博政(TAKAHASHI, Hiromasa)[JP/JP] 〒370 群馬県高崎市石原町4003-1 Gunma, (JP) 大和 敏(YAMATO, Satoshi)[JP/JP] 〒371 群馬県前橋市大利根町1-39-4 Gunma, (JP)		(81) 指定国 AL, AM, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, GH, HU, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, YU, ARIPO特許(GH, KE, LS, MW, SD, SZ, UG), ユーラシア特 许(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許(BF, BJ, CF, CG, CI, CM, GA, GN, MI, MR, NE, SN, TD, TG).	
添付公開書類 国際調査報告書			
(54) Title: DISK DRIVE AND COMPUTER			
(54) 発明の名称 ディスクドライブ装置及びコンピュータ装置			
<p>The diagram illustrates a complex electronic circuit for a disk drive and computer system. It features a central microcomputer (5) connected to various peripherals and memory modules. Key components include a disk motor (10), pickup (11), thread motor (12), loading motor (13), and a microcomputer (5). The system is interconnected via several buses and control circuits, including an ATAPI bus (40) and a SCSI bus (35). Various memory modules like RAM (56), ROM (51), and flash memory (57) are shown. Control logic includes a protocol sequence control circuit (41), error correcting circuits (91), and a synchronizing signal detecting/deinterleaving circuit (92). Numerous timers (52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64) and interface circuits (50, 501, 510) are also depicted.</p>			
(57) Abstract <p>A microcomputer (5) constituted in an integrated circuit including an electrically erasable programmable nonvolatile memory (56) and a central processing unit (51) is adopted for controlling a disk drive (2). The memory (56) stores an application program, such as a recorded information reproduction control program in an application program area (561) and a reboot program which is utilized to update the application program in a reboot program area (560). The processor (51) rewrites all or part of the application program by executing the reboot program according to an application program rewriting command supplied from the outside. Therefore, all or part of the application program stored in the memory (56) can be rewritten even after the microcomputer (5) is mounted on a disk drive. Since the reboot program area is not rewritten, the reprogram of the application program area is restarted immediately after the reboot program is executed again even when the reprogramming of the nonvolatile memory is interrupted due to abnormality.</p>			

(57) 要約

ディスクドライブ装置(2)の制御に、電気的な消去及び書き込み可能な不揮発性メモリ(56)と中央処理装置(51)とを含んで集積回路化されたマイクロコンピュータ(5)を採用する。不揮発性メモリは、記録情報再生制御プログラムなどのアプリケーションプログラムをアプリケーションプログラム領域(561)に保有し、そのアプリケーションプログラムを更新するのに利用されるリブートプログラムをリブートプログラム領域(560)に保有する。中央処理装置は、外部から供給されるアプリケーションプログラムの書き換えコマンドに応答して前記リブートプログラムを実行しアプリケーションプログラムの全部又は一部の書き換えを行う。

これにより、ディスクドライブ装置にマイクロコンピュータが実装された後も、前記不揮発性メモリ内のアプリケーションプログラムの全部又は一部を書き換えることができる。このとき、リブートプログラム領域は書き換え対象ではないから、不揮発性メモリの書き換え途上で異常があつても、再度リブートプログラムを実行すればすぐにアプリケーションプログラム領域に対する再書き込み動作に移行できる。

参考情報

PCTに基づいて公開される国際出版のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード

AL アルバニア	ES スペイン	LR リベリア	SG シンガポール
AM アルメニア	FI フィンランド	LS レソト	SI スロヴェニア
AT オーストリア	FR フランス	LT リトアニア	SK スロヴァキア共和国
AU オーストラリア	GA ガボン	LU ルクセンブルグ	SL シエラレオネ
AZ アゼルバイジャン	GB 英国	LV ラトヴィア	SN セネガル
BA ボスニア・ヘルツェゴビナ	GE グルジア	MC モナコ	SZ スリランカ
BB バルバドス	GH ガーナ	MD モルドバ共和国	TG チャード
BE ベルギー	GM ガンビア	MG マダガスカル	TJ トーゴ
BF ブルガリア・ファソ	GN ギニア	MK マケドニア旧ユーゴス	TM タジキスタン
BG ブルガリア	GR ギリシャ	ML ラヴィア共和国	TR トルコニスタン
BJ ベナン	HU ベンガリー	MN マリ	TT トリニダード・トバゴ
BR ブラジル	ID インドネシア	MR モーリタニア	UA ウクライナ
BY ベラルーシ	IE アイルランド	MW モラウイ	UG ウガンダ
CA カナダ	IL イスラエル	MX メキシコ	US 米国
CF 中央アフリカ共和国	IS アイスランド	NE ニジェール	UZ ウズベキスタン
CG コンゴー	IT イタリア	NL オランダ	VN ヴィエトナム
CH スイス	JP 日本	NO ノルウェー	YU ユーゴスラビア
CI コート・ジボアール	KE ケニア	NZ ニュージーランド	ZW ジンバブエ
CM カメルーン	KG キルギスタン	PL ポーランド	
CN 中国	KP 朝鮮民主主義人民共和国	PT ポルトガル	
CU キューバ	KR 大韓民国	RO ルーマニア	
CZ チェコ共和国	KZ カザフスタン	RU ロシア連邦	
DE ドイツ	LC セントルシア	SD スーダン	
DK デンマーク	LK シリテンシュタイン	SE スウェーデン	
EE エストニア	SL スリランカ		

明細書

ディスクドライブ装置及びコンピュータ装置

5 技術分野

本発明は、CD-ROM (Compact Disk-Read Only Memory)、DVD (Digital Versatile Disk, Digital Video Disk)、DVD-ROM、DVD-RAM、CDI (Compact Disk-Interactive)、DVI (Digital Video Interactive)、又はMOD (Magneto Optical Disk) 等を媒体として用いる記録情報再生装置、この記録情報再生装置を含む情報記録再生装置、そしてそれらを総称するディスクドライブ装置、さらにはディスクドライブ装置を搭載したコンピュータ装置に関し、例えば、パソコン用コンピュータに標準搭載されたCD-ROMドライブ装置の記録情報再生動作などを制御するプログラムの書き換えを容易化すると共に書き換えの信頼性を向上するのに適用して有効な技術に関する。

背景技術

CD-ROMドライブ装置などのディスクドライブ装置は、パソコン用コンピュータやゲーム機などとインターフェースされる記録情報再生装置として急速に普及してきた。このCD-ROMドライブ装置などは、オーディオ用CDプレーヤの規格をベースにしているため、オーディオ用に比べてデータ転送速度やデータアクセス速度を向上させることが要求される。また、データの誤り訂正不能な場合にデータ補間や前値保持などの処理が可能なオーディオ用途に対してパソコン用コンピュータのデータにはそのような処理が無意味であるからデータの誤り訂正能力の強化も必要になる。

そこで、データアクセス速度を高速化するために、CD-ROMドライブ装置などでは、ディスクから読み取った情報を增幅するプリアンプの周波数帯域を上げ、ピックアップサーボ回路の強化を行い、デジタル信号処理回路の動作速度を向上させること等により、CD-ROMディスクを通常速度の2倍又は4倍などの速度で回転させながら記録情報を読み取って再生する技術を採用している。更に、2重誤り訂正符号に対し4重の誤り訂正符号を付加して誤り訂正能力を向上させることも行われている。

しかしながら、今日、CD-ROMドライブ装置に代表されるように、記録情報再生速度は短期間で高速化に転換されているのが実状である。過去においては、2年以上の周期で標準速（オーディオ用のCD再生時のディスクの線速度）から倍速、倍速から4倍速へと転換されてきた再生速度は、今日では、6倍速から8倍速、8倍速以上へと数カ月単位の周期で急激に転換されようとしている。

このような状況においては、再生速度の高速化に合わせて、プリアンプの周波数帯域やゲインの変更、ピックアップサーボ回路の強化、デジタル信号処理回路の動作速度の向上、誤り訂正処理の最適化などのために、回路の制御態様若しくは回路定数などの変更をその都度短期間で行わなければならない。

CD-ROMドライブ装置等における記録情報再生制御にマイクロコンピュータを利用する場合には、その記録情報再生制御プログラム（定数テーブルなども含む）を変更しなければならない。それらプログラムをマスクROMで提供する場合には、上記の極端に短い再生速度転換サイクルすなわち製品サイクルでは、マスクパターンの変更が間に合わなくなる。

特開平6-187141号公報には、光磁気ディスク装置においてテ

ィスクの記録情報を再生したりディスクに情報を記録したりするための処理プログラムに対するバグの修正やバージョンアップを容易化するために、書き換え可能なROMにその処理プログラムを格納する構成が示されている。

- 5 すなわち、光磁気ディスク装置はホスト装置に接続されるSCSI (Small Computer System Interface) コントローラとこのコントローラに接続されたドライバとを有し、前記コントローラのファームウェア (処理プログラム) は書き換え可能なROMに格納され、ドライバのファームウェアはEEPROM (Electrically Erasable and Programmable ROM) に格納されている。コントローラのファームウェアを書き換える場合は、ホスト装置がコントローラ内のバッファメモリにコントローラ用ファームウェアを転送すると共に、コントローラ内の前記ROMに格納された書き換えプログラムをコントローラ内のRAMに転送し、次いで、コントローラにコマンドを発行する。コントローラ
10 はそのコマンドを受け取ると、前記RAMに保持されている書き換えプログラムに従って前記ROMをバッファメモリ内のコントローラ用ファームウェアに書き換える。この書き換えに際して、それまで前記ROMに格納されていた書き換えプログラムも同時に更新する。ドライバのファームウェアを書き換える場合は、ホスト装置がドライバに対する書き換えプログラムをバッファメモリを介してコントローラのRAMに転送し、また、ドライバのファームウェアをコントローラのバッファメモリに転送する。そしてコントローラのCPUに前記RAMに格納された書き換えプログラムを実行させる。コントローラのCPUは書き換えプログラムに従ってドライバのファームウェアやアドレスをドライバ
15 のRAMに設定した後、ドライバのCPUにコマンドを発行する。ドライバは、通信及び基本的なコマンドをサポートするマスクROMを行し、
20
25

前記コマンドを受け取ったドライバ内のCPUはそのマスクROMのプログラムを実行して、EEPROMをRAM内のドライバ用ファームウェアに書き換える。

しかしながら、上記コントローラ用ファームウェアの書き換えのように、ROMに格納された書き換えプログラムもコントローラ用ファームウェアと一緒に更新する構成では、ROMを書き換えている途中で異常があった場合に、RAM内の書き換えプログラムが破壊されてしまうと、それ以降、コントローラを正常状態に復旧させるのに手間がかかることが予想される。

また、ドライバのファームウェアを保有するEEPROMとは別のマスクROMに、EEPROMの書き換え制御プログラムや書き換えのためのインターフェース用のプログラムを格納する構成では、EEPROMの他にもマスクROMが必要になり、システムの物理的な規模を増大させてしまう。しかも、マスクROMは半導体集積回路化されたマイクロコンピュータ若しくはマイクロプロセッサに外付けされることになるであろうが、その場合には、外付けメモリに対するチップ選択制御等のための論理が増え、この点においてもディスクドライブ装置の物理的な規模が増大すると予想される。

上記従来技術では、ドライバとコントローラのファームウェアを別々の書き換え可能なROMとEEPROMに格納している。ドライバ用ファームウェアはドライバに含まれるサーボ制御回路などの特性に応じた制御プログラムとされる。コントローラ用ファームウェアはホスト装置に対応するインターフェース仕様を実現するための制御プログラムとされる。そのように光磁気ディスク装置の処理プログラムを、書き換え可能なROMとEEPROMに分割するのは、光磁気ディスク装置の製造段階ではコントローラの制御プログラムをドライバの調整作業に都

合のよいインターフェース仕様にそろえて行うことができるようになり、ドライバの制御プログラムを設定した後、最後に目的のホスト装置とのインターフェース仕様に応じてコントローラの制御プログラムを書き換えるようにするためである。これは、光磁気ディスク装置の調整作業や製品管理などを簡略化し得るように考慮しているためである。しかしながら、コントローラとドライバの制御プログラムをROMとEEPROMに分けて格納する構成では、制御プログラムの書き換え手順が複雑で、書き換えにも時間を要することが本発明者によって明らかにされた。

また、コントローラのROMに対する書き換えプログラムは当該ROMが保有し、ドライバのEEPROMに対する書き換えプログラムはマスクROMが保有している。このため、光磁気ディスク装置の動作中にCPUが暴走すると、当該ディスク装置それ自体に格納されている書き換えプログラムが不所望に実行されて、ROMやEEPROMの内容が破壊される虞もある。

本発明者はディスクドライブ装置の処理プログラムなどの変更を容易化するために、ディスクドライブ装置それ自体に関する観点と、ホスト装置とのインターフェースの観点から更に検討を行った。

先ず第1には、ディスクドライブ装置の制御に、電気的に消去及び書き込み可能な不揮発性メモリを内蔵したマイクロコンピュータを採用し、その不揮発性メモリに、ディスクドライブ装置のためのアプリケーションプログラムと共に、ダウンロードされたアプリケーションプログラムを取り込み制御する人力制御プログラムを格納し、更に必要な場合には書き換え制御プログラムも格納することについて検討した。ここで、前記アプリケーションプログラムは、ディスクアクセスのための処理プログラム（アクセス制御プログラム）と、ディスクドライブ装置のための外部インターフェース処理プログラム（インターフェース処理プログラ

ム)とを含むプログラムである。

その場合、更に解決しなければならない幾つかの課題のあることが本発明者によって明らかにされた。

その一つは、書き換え制御プログラム及び入力制御プログラムをディスクドライブ装置それ自体が保有する場合、アプリケーションプログラムの書き込みに際して書き換え制御プログラム及び入力制御プログラムが、復旧不可能な状態に破壊若しくは消失することがあってはならないということである。書き換え制御プログラム又は入力制御プログラムが破壊若しくは消失すると、その後、アプリケーションプログラムの書き換えを行うことが難しくなる。

また、マイクロコンピュータの不揮発性メモリそれ自体が保有している書き換え制御プログラム及び入力制御プログラムは信頼性が高くなればならないということである。

第2には、ディスクドライブ装置がパーソナルコンピュータなどのコンピュータ装置に標準搭載される状況を考慮し、前記アプリケーションプログラムなどを容易に変更できるようにすることについて検討した。

今日パーソナルコンピュータ(単にPCとも記す)等のコンピュータ装置におけるハードディスクインターフェースの殆どはIDE(Integrated Device Electronics)に準拠し、PC(Personal Computer)ボード上に複数のIDEインターフェースポート(例えば4個)を持っている。IDEについては日経エレクトロニクス(日経BP社1994年6月6日発行)第67頁～第96頁に記載がある。この明細書では、FAST ATA、Enhanced IDE、Extended IDEなどの呼称がある所謂拡張IDEの概念などもIDEに含むものとして用いる。IDEインターフェース仕様ではインターフェースケーブルの長さが極端に制限されており、通常はPCの筐体内部に搭載した周辺機器とのインターフェースに利用できる程

度である。今日では PC の拡張スロット若しくはドライブベイに CD-ROM ドライブ装置が標準搭載されているものが殆どであるが、それ以前はオプションとして外付けされるのが一般的であり、このため、そのインターフェース仕様は当初、 SCSI 若しくは SCSI 2 に準拠されて発展してきた。

しかしながら、 SCSI インタフェースはオプションとしての性格が根強く、 SCSI インタフェースによる CD-ROM ドライブ装置の接続には SCSI インタフェースボード若しくは SCSI インタフェース PC カードなどが特別に必要になり、全体としてコストの上昇を招いてしまう。一般的に、 IDE コントローラ LSI (Large Scale Integrated circuits) は SCSI コントローラ LSI に比べて安価である。

そこで登場するのが ATAPI (ATA Packet Interface) インタフェースであり、 PC ボードとのインターフェース仕様は IDE 準拠で、コマンドは SCSI 若しくは SCSI 2 準拠とされる。これにより、 PC に CD-ROM ドライブ装置を搭載するのにそれ専用の特別なインターフェース回路を必要とせず、更に、 SCSI インタフェース時代に標準的に用いられてきた SCSI 準拠のコマンドをそのまま流用できる。即ち、 CD-ROM ドライブ装置に関する過去のソフトウェア資産を承継しながら、拡張 IDE のような新しいインターフェースへ移行でき、しかもコストの低減を図ることができるようになる。これにより、 PC に標準搭載される CD-ROM ドライブ装置のインターフェース仕様のほとんど全てが ATAPI インタフェース仕様 (IDE の拡張仕様) を採用するに至っている。

多くの PC メーカーが上述のように ATAPI インタフェースを利用して CD-ROM ドライブ装置を PC に標準搭載する場合、 CD-RO

M再生速度の転換サイクルが極端に短い状況では、CD-ROMドライブ装置の評価期間が長くなると、PCメーカーにとっては再生速度の速いCD-ROMドライブ装置を搭載したPCを効率的に市場に投入できなくなる。

5 PCメーカーにおけるCD-ROMドライブ装置の評価期間が長くなると予想される原因は幾つかある。

第1には、ATAPI対応CD-ROMドライブ装置はPCに標準搭載されるから、CD-ROMドライブ装置を取り外すにはPCの筐体を分解することが必要になるからである。

10 第2には、極端に短い再生速度転換サイクル故に、ドライブメーカーにとってもCD-ROMドライブ装置の処理プログラムに対する開発期間が短くなり、バグの修正が度重なる場合も多くなることが予想されるからである。

15 第3には、極端に短い再生速度転換サイクル故に、ドライブメーカーは、前記アプリケーションプログラムの性能向上が間に合わないため、ハードウェアのみ先行させてPCメーカーに送り、後付けでアプリケーションプログラムを段階的にPCメーカーに送り、ドライブを完成させることが必要になるからである。例えば24倍速のCD-ROMドライブの場合、ドライブメーカーは同一ハードウェアで20倍速再生までのアプリケーションプログラムをPCメーカーに送り、次に、24倍速でアクセス速度の速いアプリケーションプログラムを送り、最後に、そのアプリケーションプログラムの論理的に不十分な点を改善若しくはチューニングした高い性能のアプリケーションプログラムを送る、というような段階的な処置が施される。或いは、24倍速CD-ROMドライブを想定すると、最低の1倍速と最高の24倍速再生のためのアプリケーションプログラムを送り、それらに対する中間の倍速に関しては段階的にアプリケ

ーションプログラムを完成させてPCメーカーに提供するといったことが行われる。

第4には、ATAPIインターフェースを採用したCD-ROMドライブ装置がPCに標準搭載されると、そのCD-ROMドライブ装置は特定のPCに専用化されるので、当該CD-ROMドライブ装置の前記アプリケーションプログラムの内容がPCの機種若しくはPCメーカー毎に個別化される傾向が強くなるからである。例えば、ドライブメーカーは、標準使用のCD-ROMドライブ装置をPCメーカーにサンプル出荷してくる場合が多いが、PCメーカーのドライブ仕様がメーカー毎に異なっている場合には、ドライブの仕様追加が必要になる。PCメーカー毎に異なる仕様の一例として、偏心や面ぶれなどを生じているディスクに対する再生制御手法がある。偏心や面ぶれを生じているディスクに対して、通常CD-ROMドライブ装置はディスクが読めるところまで、自動的に再生速度を落とす。しかし、この後、いつ再生速度を上げるかは、PCメーカーの仕様によって異なっており、次のリードコマンドを受信したところで、再生速度を元に戻す場合もあれば、そのディスクについては再生速度を上げない場合もある。更に、ベンダーユニークコマンドを利用して再生速度を元に戻す場合もある。或いはディスクに対する線速度一定と角速度一定とを混在させて再生制御することも行われており、角速度一定と線速度一定の制御を切り換える様も区々になっている。

また、ATAPI対応CD-ROMドライブ装置を標準搭載したPCがエンドユーザに渡った後、再生速度の向上及びCD-R(Compact disc-Recordable)ディスクの普及等により、全てのディスクを再生できるとは限らない状況も生じてくる。このような場合にも、エンドユーザ側で前記アプリケーションプログラムを効率的に更新できることが望ましい。

このように、CD-ROMドライブ装置における再生速度の転換サイクルが極端に短くされ、また、CD-ROMドライブ装置がPCに標準搭載される状況下において、ドライブメーカーはPCメーカー毎に相違する仕様の前記アプリケーションプログラムを短期間で作成しなければならない。PCメーカーにとっては、CD-ROMドライブ装置の評価を短期間で済まさなければならず、評価期間を通じてドライブメーカーからアプリケーションプログラムのバグの修正を受けながら、PC上でCD-ROMドライブ装置の評価を効率的に行なうことが絶対的に必要とされる。したがって、CD-ROMドライブ装置のアプリケーションプログラムの修正を効率的に行えるようにするという要請は、極めて高くなっている。

本発明の目的は、ディスクドライブ装置のディスクアクセス及びインターフェース制御用の処理プログラムを含むアプリケーションプログラムの全部又は一部を効率的に修正できるようにすることである。

本発明の別の目的は、ディスクドライブ装置の物理的な規模を増大させることなく前記アプリケーションプログラムの全部又は一部を容易に書き換えることができるディスクドライブ装置を提供することにある。

本発明の更に別の目的は、前記アプリケーションプログラムの書き換えの信頼性を向上できるディスクドライブ装置を提供することにある。

本発明の更に別の目的は、記録情報再生装置やディスクドライブ装置のハードウェアの量産を先行させ、出荷直前まで前記アプリケーションプログラムの全部又は一部を修正でき、開発期間を短縮できるディスクドライブ装置を提供することにある。

本発明のその他の目的は、同一ハードウェアによって他品種展開が容易なディスクドライブ装置を提供することにある。

本発明の更にその他の目的は、ディスクドライブ装置が組み込まれた状態でも（当該装置を取り外すことなく）、記録情報再生装置やディスクドライブ装置の前記アプリケーションプログラムの全部又は一部を変更できるパーソナルコンピュータ等のコンピュータ装置を提供することにある。
5

また、本発明は、再生速度の転換サイクルが極端に短い状況下でも、再生速度の速いディスクドライブ装置を標準搭載したコンピュータ装置を効率的に市場に投入できるようにすることにある。

本発明の前記ならびにその他の目的と新規な特徴は本明細書の以下
10 記述から明らかにされるであろう。

発明の開示

すなわち、ディスクドライブ装置の制御に、電気的な消去及び書き込み可能な不揮発性メモリを内蔵したマイクロコンピュータを採用し、その不揮発性メモリが、アプリケーションプログラム領域にディスクアクセス及びインターフェース制御用の処理プログラムを含むアプリケーションプログラムを保有し、また、そのアプリケーションプログラムの全部又は一部を更新するのに利用されるリブートプログラムをリブートプログラム領域に保有する。
15

更に詳しくは、ディスクドライブ装置は、回転駆動されるディスクをアクセスするアクセス手段と、前記アクセス手段に接続され外部とインターフェースされるインターフェース回路と、前記アクセス手段の動作を制御すると共に前記インターフェース回路に結合されたマイクロコンピュータとを含む。前記マイクロコンピュータは、電気的に書き換え可能な不揮発性メモリと、この不揮発性メモリをアクセスする中央処理装置とを含む。前記不揮発性メモリはその記憶領域に、リブートプログラム領
20
25

域とアプリケーションプログラム領域とを有する。前記アプリケーションプログラム領域は、前記アクセス手段及び前記インターフェース回路を制御するために前記中央処理装置によって実行されるアプリケーションプログラムの格納領域を有する。前記リブートプログラム領域は、前記中央処理装置に、前記アプリケーションプログラム領域を書き換えるための処理を実行させるリブートプログラムが格納される領域を有する。前記中央処理装置は、外部から前記インターフェース回路に供給されるアプリケーションプログラム領域の書き換えコマンドに応答して前記リブートプログラムを実行しアプリケーションプログラム領域の全部又は一部の書き換えを行い、また、外部から前記インターフェース回路に供給されるディスクアクセスコマンドに応答して前記アプリケーションプログラム領域中の前記アプリケーションプログラムを実行し前記アクセス手段及びインターフェース回路を制御する。

前記アプリケーションプログラムとは、記録情報再生制御プログラムなどのアクセス制御プログラムとディスクドライブ装置の外部インターフェース制御用のインターフェース制御プログラムとを含む動作プログラムを意味する。アクセス制御プログラムは、ディスクの速度制御や記録情報の再生速度に応じた信号処理などを制御する。インターフェース制御プログラムは、ディスクアクセスのための外部インターフェース制御を行う。前記アプリケーションプログラム領域の書き換えは、アプリケーションプログラムの一部(アクセス制御プログラム又はインターフェース制御プログラムのいずれか一方)を対象にしても、全部(アクセス制御プログラム及びインターフェース制御プログラムの双方)を対象にしてもよい。また、アプリケーションプログラムが複数個のプログラムモジュール(例えば複数個のサブルーチン)を含む場合に、一部のプログラムモジュールを書き換えの対象にすることも可能である。例えば、アプリ

ケーションプログラムを書きかえる（更新する）とき、前記アクセス制御プログラム又はインターフェース制御プログラムにおいて、修正が施された一方のプログラムだけを書き換えるようにしてもよい。

上記により、ディスクドライブ装置にマイクロコンピュータが実装された後も、当該マイクロコンピュータ内蔵の前記不揮発性メモリにアプリケーションプログラムを書き込み、或いはアプリケーションプログラムの一部又は全部を書き換えることができる。これにより、今後極めて短いサイクルで生ずるであろう、再生速度転換時期等に応じてに、再生速度の向上に応じ必要な修正を加えたアプリケーションプログラムの全部又は一部を書き換えるだけで、ディスクドライブ装置における再生速度の転換に即座に若しくはタイムリーに対応できる。

前記不揮発性メモリの書き換え対象はアプリケーションプログラム領域とされる。リブートプログラム領域は書き換え対象ではないから、不揮発性メモリの書き換え動作途中で異常があった場合にも、再度リブートプログラムを実行すれば、すぐにアプリケーションプログラム領域に対する再書き込み動作に移行でき、書き換え途中における異常状態からの復旧に手間取ることはない。ディスクドライブ装置における処理プログラムの書き換え対象は前記不揮発性メモリだけであるから、書き換えの制御手順を簡素化でき、しかも書き換え時間も短縮できる。更に、半導体集積回路化されたはマイクロコンピュータに、ディスクドライブ装置の処理プログラムを保有する前記不揮発性メモリが内蔵されている場合、ディスクドライブ装置の物理的な規模が増大するのを抑えて、上記作用を得ることができる。

前記リブートプログラムは、入力制御プログラム、書き換え制御プログラム及び転送制御プログラムを含むことができる。このとき、前記書き換えコマンドに応答する前記中央処理装置は、前記入力制御プログラ

ムを実行することにより外部から前記インターフェース回路に供給される全部又は一部のアプリケーションプログラムをバッファRAMなどに取り込み、前記転送制御プログラムを実行することにより前記書き換え制御プログラムを前記リブートプログラム格納領域から前記マイクロコンピュータの内蔵RAMに転送する。中央処理装置は、前記内蔵RAMに転送された書き換え制御プログラムを実行することにより前記取り込まれた全部又は一部のアプリケーションプログラムを前記アプリケーションプログラム領域に書き込み制御する。これによれば、アプリケーションプログラム領域の更新に当たって、ホスト装置は前記不揮発性メモリに対する書き込みコマンドに続けてアプリケーションプログラム領域に書き込むべき全部又は一部のアプリケーションプログラムをディスクドライブ装置に転送すればよく、書き換え制御プログラムを転送する必要はないから、アプリケーションプログラム領域を更新する処理時間を更に短縮することができる。

前記リブートプログラムは、入力制御プログラム及び転送制御プログラムを含むことができる。このとき、前記書き換えコマンドに応答する前記中央処理装置は、前記入力制御プログラムを実行することにより外部から前記インターフェース回路に供給される前記アプリケーションプログラム及び書き換え制御プログラムを取り込み、前記転送制御プログラムを実行することにより前記取り込まれた書き換え制御プログラムをマイクロコンピュータの内蔵RAMに転送する。前記中央処理装置は、前記内蔵RAMに転送された書き換え制御プログラムを実行することにより、前記取り込まれた全部又は一部のアプリケーションプログラムを前記アプリケーションプログラム領域に書き込み制御する。これによれば、不揮発性メモリはその書き換え制御プログラムを保有しないから、中央処理装置が暴走して不揮発性メモリに格納されているプログラム

を不所望に実行することがあるても、当該不揮発性記憶装置が誤ってか書き換えられる虞は全くない。

前記リブートプログラム領域は、ベクタテーブルとリセット処理プログラムの格納領域とを更に有することができる。このとき、前記中央処理装置は、リセットの指示に応答して前記ベクタテーブルを参照することにより前記リセット処理プログラムの実行に移行し、リセット処理プログラムの実行途上では前記書き換えコマンドに応答し得る強制リブート状態か否かを判定する。強制リブート状態のとき、中央処理装置は、前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移する。強制リブート状態でないとき、中央処理装置は前記アプリケーションプログラム領域のプログラムを実行可能な状態に遷移する。これによれば、不揮発性メモリの書き換えに際して異常が起きても、リセットをかけて強制リブート状態の指示を行えば、その異常から容易に復旧して、不揮発性メモリを書き換える処理に戻ることができる。この点においても、アプリケーションプログラム領域を更新する処理時間の短縮に寄与できる。

前記アプリケーションプログラム領域は、その一部の記憶領域に、その他の記憶領域が保有する情報のサム値を格納するサム値格納領域を有することができ、前記リブートプログラム領域は、ベクタテーブルとリセット処理プログラムの格納領域とを更に有することができる。このとき、前記中央処理装置は、リセットの指示に応答して前記ベクタテーブルを参照することにより前記リセット処理プログラムの実行に移行し、リセット処理プログラムの実行途上では前記書き換えコマンドに応答し得る強制リブート状態か否かを判定する。強制リブート状態のとき、中央処理装置は、前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移する。強制リブート状態でないとき、中央処理裝

置は、前記サム値格納領域に格納されているサム値が、前記その他の記憶領域が保有する情報のサム値に一致するかを判定する。中央処理装置は、判定結果が不一致の場合には前記書き換えコマンドの人力を待って前記リブートプログラムの実行に遷移し、前記判定結果が一致の場合には前記アプリケーションプログラム領域のプログラムを実行可能な状態に遷移する。これによれば、ホスト装置や、ディスクドライブ装置の異常によって前記アプリケーションプログラム領域のプログラムが不所望に書き換えられたとき、強制リブート状態が指示されなくても、リセットされるだけで、自己診断的に、中央処理装置の動作を、アプリケーションプログラム領域に対する書き換え可能な状態に遷移させることができ、ディスクドライブ装置の誤動作を未然に防止することができる。

前記不揮発性メモリとして、一括消去単位とされる複数個のメモリブロックを有するフラッシュメモリを採用することができる。このとき、前記リブートプログラム領域と前記アプリケーションプログラム領域とを相互に異なるメモリブロックに割り当てるにより、アプリケーションプログラム領域に対する消去動作を効率化できる。

前記リブートプログラム領域に対するプログラムの初期的な書き込み動作の信頼性は、そのプログラムの性質上良好であることが望ましく、それを保証するには、前記マイクロコンピュータの製造工程でリブートプログラム領域にプログラムを書き込むことができる。

リブートプログラムの不所望な消失防止に万全を期するには、前記リブートプログラム領域の書き換えを禁止する手段を設ければよい。

前記インターフェース回路に、ATAPIインターフェース仕様を採用することができる。これによれば、SCSIインターフェース仕様等のディスクドライブ装置に関して蓄積された過去のソフトウェア資産を承継

しながら、拡張 I D E のような新しいインターフェースへ容易に移行でき、しかもコストの低減を図ることができる。

そのようなディスクドライブ装置を備えたコンピュータ装置は、バスに接続されたマイクロプロセッサと周辺インターフェースコントローラとを含むメインボードを有し、前記インターフェースコントローラにディスクドライブ装置のインターフェース回路が接続されている。前記バスに例えば P C I バスを採用し、前記インターフェースコントローラに I D E インターフェースコントローラを含む、パーソナルコンピュータのようなコンピュータ装置に、ディスクドライブ装置を標準搭載する場合、ディスクドライブ装置のインターフェース回路に前記 A T A P I インターフェース回路を採用することができる。コンピュータ装置にディスクドライブ装置が標準搭載される場合、メインボードとディスクドライブ装置は殆どの場合一つの筐体に組み込まれる。

ディスクドライブ装置のアプリケーションプログラム領域の書き換えにおいては、コンピュータ装置のメインボードをホスト装置とし、このホスト装置を介してディスクドライブ装置のアプリケーションプログラムを全部又は一部だけ書き換えることができる。したがって、ディスクドライブ装置をコンピュータ装置から取り外すことなく、前記マイクロプロセッサを利用して、ディスクドライブ装置のアプリケーションプログラムを変更できる。

したがって、ディスクドライブ装置における再生速度の転換サイクルが極端に短くされ、ディスクドライブ装置がコンピュータ装置に標準搭載され、それによってドライブメーカーはコンピュータ装置メーカー毎に相違する仕様でディスクドライブ装置のディスクアクセス及びインターフェース制御用のアプリケーションプログラムを作成しなければならない状況下において、コンピュータ装置メーカーは、ディスクドライブ装置

の評価期間を通じてドライブメーカからアプリケーションプログラムに関するバグの修正や追加機能を受けながらコンピュータ装置に組みこまれたままの状態でディスクドライブ装置の評価を行うことができる。前述のディスクドライブ装置は、アプリケーションプログラム領域に対する書き換え処理の能率化、書き換え処理中における異常状態から速やかに復旧して書き換え処理に戻れるなどの手段が講じられているから、ディスクドライブ装置の評価期間を通じて、マイクロコンピュータに内蔵された不揮発性メモリに、修正されたアプリケーションプログラムを効率的に再インストールすることができる。よって、コンピュータ装置メーカはディスクドライブ装置の評価期間を短期できる。

これにより、ディスクドライブ装置における再生速度の転換サイクルが極端に短くされている状況下において、コンピュータ装置メーカは、より再生速度の速いディスクドライブ装置を標準搭載したコンピュータ装置を効率的に市場に投入できるようになる。

また、記録情報再生制御プログラムのようなアクセス制御プログラムやインターフェース制御プログラムを含むアプリケーションプログラムはインターネット等の通信手段でディスクドライブ装置の製造又はその販売会社からコンピュータ装置メーカ又はその販売会社に、或いはコンピュータ装置メーカ又はその販売会社からコンピュータ装置の使用者に供給することも可能である。これによれば、コンピュータ装置メーカ又はその販売会社或いはコンピュータ装置の使用者に瞬時に前記アプリケーションプログラムを送ることができる。このとき、上記ディスクドライブ装置やこれを搭載したコンピュータ装置を使用すれば、その使用者側で、それら装置の記録情報再生速度などの機能を即座にバージョンアップすることができる。すなわち、使用者側での製品の機能変更が容易になる。

図面の簡単な説明

第1図は本発明の一例に係るCD-ROMドライブ装置を示すブロック図である。

5 第2図はフラッシュメモリの記憶領域を示す説明図である。

第3図はリセット処理の一例を示すフローチャートである。

第4図はATAPI割込み処理の一例を示すフローチャートである。

第5図はフラッシュメモリの一括消去単位ブロックとリポートプログラム領域との関係を示す説明図である。

10 第6図はフラッシュメモリ内蔵マイクロコンピュータの製造工程を概略的に示すフローチャートである。

第7図はリポートプログラム領域に対する不所望な消去を阻止するためのハードウェアプロテクトの一例を示すブロック図である。

15 第8図はリポートプログラム領域に対する不所望な消去を阻止するためのハードウェアプロテクトの別の例を示すブロック図である。

第9図はCD-ROMドライブ装置を内蔵するパーソナルコンピュータの一例ブロック図である。

20 第10図はパーソナルコンピュータにCD-ROMドライブ装置が搭載された状態で当該ドライブ装置にアプリケーションプログラムを書込む動作の初期状態を示す説明図である。

第11図はパーソナルコンピュータにCD-ROMドライブ装置が搭載された状態で当該ドライブ装置にアプリケーションプログラムを書込む動作における動作開始時の状態を示す説明図である。

25 第12図は第11図に状態に続くアプリケーションプログラムの転送状態を示す説明図である。

第13図は第12図の状態に続く消去／書き込み制御プログラム起

動状態を示す説明図である。

第14図は第13図の状態に続く消去／書き込み制御プログラムによるフラッシュメモリの消去動作状態を示す説明図である。

5 第15図は第14図の状態に続く消去／書き込み制御プログラムによるフラッシュメモリの書き込み動作状態を示す説明図である。

第16図は第10図～第15図で説明した書き込み処理の全体的なフローチャートである。

10 第17図は第10図に対して消去／書き込み制御プログラムをCD-ROMドライブ装置の外部から受け取って当該ドライブ装置にアプリケーションプログラムを書込む動作の初期状態を示す説明図である。

第18図は第10図に対して消去／書き込み制御プログラムをCD-ROMドライブ装置の外部から受け取って当該ドライブ装置にアプリケーションプログラムを書込む動作における動作開始時の状態を示す説明図である。

15 第19図は第18図の状態に続くアプリケーションプログラムの転送状態を示す説明図である。

第20図は第19図の状態に続く消去／書き込み制御プログラム起動状態を示す説明図である。

20 第21図は第20図の状態に続く消去／書き込み制御プログラムによるフラッシュメモリの消去動作状態を示す説明図である。

第22図は第21図に状態に続く消去／書き込み制御プログラムによるフラッシュメモリの書き込み動作状態を示す説明図である。

第23図はサム値格納領域が割り当てられたフラッシュメモリの記憶領域の説明図である。

25 第24図はリセット時にサム値を考慮してユーザプログラム領域を書き換え可能にするときの動作フローチャートである。

第25図はベクタテーブルをマイクロコンピュータのワークRAMに配置した状態を示す説明図である。

第26図はフラッシュメモリのアドレスマップの別の例を示す説明図である。

5 第27図はCD-ROMドライブメーカーによるCD-ROMドライブ装置の製造手順の一例を示すフローチャートである。

第28図はCD-ROMドライブメーカーから出荷されたCD-ROMドライブ装置を用いたPCメーカーによるパーソナルコンピュータの評価手順の一例を示すフローチャートである。

10 第29図は第27図に対してリブートプログラム領域とユーザプログラム領域とに処理プログラムと一緒に書き込む場合の一例フローチャートである。

15 第30図はCD-ROMドライブ装置がシリアルポートを持つ場合に当該ポートを介して処理プログラムをマイクロコンピュータに書き込むときの状態を示すCD-ROMドライブ装置のブロック図である。

第31図はEPROMライタを用いてマイクロコンピュータの処理プログラムを書き込む時の状態を示すマイクロコンピュータのブロック図である。

20 発明を実施するための最良の形態

《CD-ROMドライブ装置》

第1図には本発明の一例に係るCD-ROMドライブ装置がホスト装置と共に示されている。第1図において1で示されるものは、CD-ROMディスク(単にディスクとも称する)であり、記録密度を上げるために、信号の記録速度がディスクの内周、外周の位置にかかわらず一定であるCLV(Constant Liner Velocity)方式によって情報が記録さ

れている。このディスク1は、特に制限されないが、1シンボル（1シンボル=1バイト）のサブコード情報、24シンボルのデータ及び8シンボルのパリティーを1フレームとし、このフレーム毎に同期信号が付加されて構成されている。そのようなフレームの情報は特に制限されないが、E FM（Eight to Fourteen Modulation）変調されている。E FM変調は、1シンボル8ビットのデータを14ビットに変換する処理である。更に変換後の直流成分を除去するために3ビットのマージンビットが付加され、NRZ I変調が行われている。また、フレームはインターリープされている。

第1図に示されるCD-ROMドライブ装置2は、ホスト装置3からのアクセス若しくはデータ転送要求をATAPIインターフェース回路4から受けると、マイクロコンピュータ5が、その要求に応ずるための制御を行う。マイクロコンピュータ5によって制御されるCD-ROMドライブ装置2の動作の概略は次の通りとされる。すなわち、ディスク1から光学的に情報が読み取られ、読み取られた情報はデジタル信号処理回路7で復号及びエラー訂正などが行われ、復号及びエラー訂正された情報は、CD-ROMやCD-Iなどの所定のフォーマットに従って、デジタル信号処理回路7からバス8を介してCD-ROMデコーダ9に与えられる。CD-ROMデコーダ9はこれに与えられた情報に対して同期信号検出、デインタリープ、付加ECC誤り訂正等の処理を施し、ホスト装置が要求するデータをATAPIインターフェース回路4を介してホスト装置3に出力する。

次に、CD-ROMドライブ装置2の各部について詳細に説明する。

前記ディスク1はディスクモータ10によって回転駆動される。ピックアップ11は、回転駆動されるディスク1にレーザ光を照射し、その反射光をフォトダイオードから成る受光部で受光して光電変換し、これ

によって、ディスク 1 に記録されている情報を読み出す。スレッドモータ 1 2 はピックアップ 1 1 をディスク 1 の半径方向に移動させる。ローディングモータ 1 3 はディスク 1 が載置される図示しないトレーを移動させる。

5 前記デジタル信号処理回路 7 は、その動作プログラムに従ってデジタルフィルタ、E F M復調、C 1, C 2 誤り訂正、デジタルサーボ、速度制御等の機能を実現する。デジタルサーボの機能は、スレッドモータ 1 2 を制御してピックアップ 1 1 の位置を制御する。速度制御の機能はディスクモータ 1 0 の回転速度を制御する。C 1, C 2 誤り訂正機能は、C 1, C 2 の 2 系列のリードソロモン符号を組み合わせた C I R
10 C (Cross Interleaved Read-Solomon Code) という誤り訂正符号を用いて行うエラー訂正であり、その誤り訂正符号は前記フレームのパリティに対応される。

15 ピックアップ 1 1 から読み出された信号（高周波信号）はプリアンプ 1 4 により増幅され、デジタル信号処理回路 7 に供給される。この読み出し信号は、デジタル信号処理回路 7 によって実現されるデジタルフィルタによって 2 値化され、デジタル信号とされる。このデジタル化された読み出し信号は、速度制御及び E F M復調機能によって順次処理される。速度制御機能は、ディスク 1 の回転速度を検出し、所定
20 の速度でディスク 1 を回転させるようにディスクモータ 1 0 を制御することである。また、速度制御の機能は、読み出し信号から同期信号を検出する機能を含む。E F M復調機能は、速度制御機能で検出された同期信号をもとに、E F M変調されている読み出し信号を復調することである。また、復調された読み出し信号の各フレームに含まれるサブコードは、信号 7 0 0 によってマイクロコンピュータ 5 の S C I (シリアル・コミュニケーション・インターフェース) 回路 5 0 に与えられる。マ
25

イクロコンピュータ 5 は、入力されたサブコードに対してその動作プログラムによりサブコード信号処理を行う。すなわち、与えられたサブコードを例えば 98 フレーム分を一単位として組み立てて、それに含まれる時間情報やインデックス情報などを認識し、ディスクモータ 10 やスレッドモータ 12などを制御するための制御情報をデジタル信号処理回路 7 に与える。

デジタル信号処理回路 7 で復調され且つ C1, C2 訂正が行われた記録情報はバス 8 を介して CD-ROM デコーダ 9 に与えられる。CD-ROM デコーダ 9 に与えられるデータは、例えば 2336 バイト毎の物理セクタで区切られた物理フォーマットが規格化されている。例えば CD-ROM 規格では、各セクタは、同期信号 12 バイト、ヘッダ 4 バイト、及びユーザデータから成る。ユーザデータの領域に対しては、C1, C2 誤り訂正によっても訂正できない誤りを訂正可能にするための ECC のような付加誤り訂正符号を有する規格がある。CD-ROM デコーダ 9 は、RAM コントローラ 90、誤り訂正回路 91、及び同期信号検出・デインターリーブ回路 92 を備え、バッファ RAM 16 に接続されている。RAM コントローラ 90 は、バッファ RAM 16 に対するメモリコントローラである。同期信号検出・デインターリーブ回路 92 はバス 8 から順次供給されるセクタ毎のデータから同期信号を検出してデインターリーブ処理を行う。誤り訂正回路 90 は、C1, C2 訂正によっても訂正しきれない誤りのあるデータに対して付加誤り訂正符号により誤り訂正を行う。デインターリーブされ、また誤り訂正されたデータは、RAM コントローラ 90 の制御によって逐次バッファ RAM 16 に保持される。バッファ RAM 16 に保持された読み出しデータは、単数若しくは複数セクタ単位で ATAPI インタフェース回路 4 からホスト装置 3 に与えられる。

ATAPIインターフェース回路4は、コマンドバッファ40及びプロトコルシーケンス制御回路41を備える。プロトコルシーケンス制御回路41はATAPIインターフェースの規格に準拠したインターフェース制御を行う。ATAPIインターフェースは、パーソナルコンピュータの主体を成すマイクロプロセッサにハードディスク装置などをインターフェースするのに用いられている既存のIDEインターフェースコントローラを介してCD-ROMドライブ装置を制御可能にするためのインターフェース仕様である。このATAPIインターフェースにおいては、SCSI2の仕様に準拠したコマンドがパケットとしてCD-ROMドライブ装置に与えられ、これによって、CD-ROMドライブ装置が制御される。このようなATAPIインターフェースの仕様の詳細は、米国の外部記憶装置の業界団体SSF(Small Form Factor) Committeeの所属会社によって策定された「ATA Packet Interface for CD-ROM Revision 1.2」などがある。前記コマンドバッファ40はホスト装置3から送られてくるコマンドを保持する。

《マイクロコンピュータ》

前記マイクロコンピュータ5は、中央処理装置(CPU)51、8ビットタイマ52、53、16ビットタイマ54、A/D変換器55、SCI回路50、フラッシュメモリ56、RAM57及び入出力ポート59を単結晶シリコンのような1個の半導体基板に備え、特に制限されないが、それら回路モジュールが内部バス58を共有して成る。電気的消去及び書き込み可能な不揮発性半導体メモリとしての前記フラッシュメモリ56は前記CPU51の動作プログラムや定数データを格納するためのメモリとされ、CPU51はその動作プログラムに従って、前記プリアンプ14、デジタル信号処理回路7、CD-ROMデコーダ9、及びATAPIインターフェース回路4などを制御する。RAM57

はC P U 5 1のワーク領域等に利用されるワークR A Mとされる。

フラッシュメモリ56は、その記憶領域が所定のブロック（メモリブロック）単位で一括消去可能にされ、ブロック単位でデータを書き換え可能な構成を有する。そのようなフラッシュメモリは公知であるから、

- 5 詳細な説明は省略するが、そのメモリセルトランジスタは、浮遊ゲートと制御ゲートを持つ2層ゲート構造の絶縁ゲート型電界効果トランジスタにより構成される。メモリセルトランジスタへの情報の書き込み動作は、例えば制御ゲート及びドレインに高圧電圧を印加して、アバランシエ注入によりドレイン側から浮遊ゲートに電子を注入することで実現
10 でき、この書き込み動作によりメモリセルトランジスタは、その制御ゲートからみたしきい値電圧が、書き込み動作を行わなかった消去状態のメモリセルトランジスタに比べて高くされる。一方消去動作は、例えばソースに高圧電圧を印加して、トンネル現象により浮遊ゲートからソース側に電子を引き抜くことによって実現され、それによってメモリセルトランジスタは、その制御ゲートからみたしきい値電圧が低くされる。書き込み並びに消去状態の何れにおいてもメモリセルトランジスタのしきい値電圧は正の電圧レベルにされる。すなわちワード線から制御ゲートに与えられるワード線選択レベルに対して、書き込み状態のしきい値電圧は高くされ、消去状態のしきい値電圧は低くされる。双方のしきい値電圧
15 とワード線選択レベルとがそのような関係を持つことによって、選択トランジスタを採用することなく1個のトランジスタでメモリセルを構成することができる。メモリセルトランジスタに対する消去動作並びに書き込み動作のための制御手法は、現在種々の態様が実現されており、ソースが共通接続されたメモリセルトランジスタに対して一括消去を行うもの、或いは、制御ゲートが共通接続されたメモリセルトランジスタに対して一括消去を行うものがある。そのような態様によってブロック
20
25

単位での一括消去が可能にされている。消去ブロックの指定は消去ブロック指定レジスタに対する制御データの設定で指示することができる。また、フラッシュメモリに対する動作、すなわち、消去、消去ペリファイ、書き込み、書き込みペリファイ、読み出し等の動作は、フラッシュメモリのモードレジスタに対する制御情報の設定で指示される。それら設定は、中央処理装置 5 1 がその動作プログラムに従って行う。

前記内部バス 5 8 は、アドレス、データ及び制御信号のためのバスを総称する。内部バス 8 に含まれるデータバスやアドレスバスは前記 CD-ROM デコーダ 9 及び ATA PI インタフェース回路 4 に接続される。また、CPU 5 1 が前記 CD-ROM デコーダ 9 及び ATA PI インタフェース回路 4 をアクセスするためのアクセス制御信号 5 1 0 は、特に制限されないが、中央処理装置 5 1 から直接出力されるように図示されており、そのようなアクセス制御信号 5 1 0 は、リード信号、ライト信号、チップイネーブル信号などとされる。これによって CPU 5 1 は、コマンドバッファ 4 0 をアクセスし、また、RAM コントローラ 9 0 に制御情報を設定し、また RAM コントローラ 9 0 を介し或いは直接、バッファ RAM 1 6 をアクセスすることができる。

前記 16 ビットタイマ 5 4 はディスク 1 に対するピックアップ 1 1 の線速度を学習するための情報を得る。

第 1 図において 9 3 で示されるものは CD-ROM デコーダ 9 から CPU 5 1 に与えられる割込み信号であり、例えば前記付加誤り訂正コードによっても訂正不能な誤りを生じたことを通知する割込み信号などとされる。4 2 で示されるものは ATA PI インタフェース回路 4 から CPU 5 1 に与えられる割込み信号であり、例えば、ホスト装置 3 からコマンドバッファ 4 0 にコマンドが供給されたことを通知する割込み信号である。信号 5 0 1 で示されるものはプリアンプ 1 4 の特性を制

御するための制御情報であり、502で示されるものはデジタル信号処理回路7におけるデジタルフィルタ、C1、C2誤り訂正、デジタルサーボ、及び速度制御の各機能を制御するための制御情報である。それら情報は入出力ポート59から出力される。

5 《再生速度の転換に応じた回路特性の変更》

CD-ROMドライブ装置2において、記録情報再生速度（即ちディスク1からの記録情報の読み取り速度）の高速化は、CD-ROMドライブ装置2の内部回路の特性変更を伴う。即ち、第1には、ディスクモータ10やスレッドモータ12の回転速度などを高速化しなければならない。第2に、それに応じてデジタルサーボやデジタルフィルタの係数を変更しなければならない。第3に、読み取り速度の高速化によってC1、C2誤り訂正に費やせる時間が短くされるので、C1、C2誤り訂正能力を変更（低下）したプログラムを採用しなければならない。例えば4倍速のとき最大6シンボル訂正まで可能なとき、6倍速ではそれを最大4シンボル訂正まで訂正能力を下げるようとする。第4に、読み取り速度の高速化によって読み取り信号周波数が高くなるのでプリアンプ14のゲインや周波数帯域等の特性を変更しなければならない。第1乃至第3の変更点に対しては、当然デジタル信号処理回路7の動作周波数も高速化しなければならない。第1乃至第3の修正点に対する対処はハードウェアの変更によらず、CPU51の動作プログラムの変更によって容易に対処できる。第4の修正点に対しては、プリアンプ14が有する図示しない加算及び波形等化器の周波数特性を4倍速、6倍速、8倍速そしてそれ以上に最適に対応できるよう切り換える回路を予め持つことにより、その特性をCPU51の動作プログラムによって切り換えて対処できる。斯る周波数特性の切換えは、加算及び波形等化された信号の2値化精度を向上させるために必要とされる。例えば、オペ

アンプを主体とする加算回路の帰還系に配置した波形等化フィルタの抵抗及び容量の値をスイッチを介して選択する構成によって、周波数特性を最適に切り換えることができる。

CD-ROMドライブ装置2における記録情報再生動作及び外部インターフェース動作は、CPU51がアプリケーションプログラムに含まれる記録情報再生制御プログラム及びインターフェース制御プログラムを実行して制御する。例えば記録情報再生速度を4倍速とする場合には4倍速用の記録情報再生制御プログラムを採用し、記録情報再生速度を8倍速とする場合には8倍速用の記録情報再生制御プログラムを採用する。この説明において、記録情報再生制御プログラムとは、ディスクモータなどに対するサーボ制御、デジタル信号処理回路7に対する動作制御、CD-ROMデコーダ9等のための動作プログラムを総称する。前記インターフェース制御プログラムとは、ATAPIインターフェース回路4に対するコマンドやデータのインターフェース制御などを実現する処理プログラムを総称する。したがって、CD-ROMドライブ装置2において、アプリケーションプログラムは、ディスクに記録された情報を再生してホスト装置3に再生情報を与えるための処理プログラムを総称する。

《ユーザプログラム領域の書き換えによる再生速度転換への対処》

第2図に例示されるように、前記フラッシュメモリ56はその記憶領域にリブートプログラム領域560とアプリケーションプログラム領域（以下ユーザプログラム領域とも称する）561とを有する。ユーザプログラム領域561はアプリケーションプログラムM2を格納するための領域とされる。前記リブートプログラム領域560は、入力制御プログラムM1、消去／書込み制御プログラムM3、転送制御プログラムM4などを格納する領域とされる。

- 11 入力制御プログラムM 1は、外部からA T A P I インタフェース回路
4に供給された書き込み若しくは書き換え対象とされる全部又は一部の
アプリケーションプログラムを例えばバッファRAM 1 6に取り込む
ために前記C P U 5 1が実行するインターフェース用のプログラムとさ
れる。消去／書き込み制御プログラムM 3は、バッファRAM 1 6に取り
込まれた前記全部又は一部のアプリケーションプログラムを前記ユー
ザプログラム領域5 6 1に書き込み制御するためにC P U 5 1が実行す
る書き換え制御プログラムとされる。転送制御プログラムは、リブート
プログラム領域5 6 0に格納されている消去／書き込み制御プログラム
10 M 3をC P UがワークRAM 5 7に転送制御するプログラムとされる。
C P U 5 1はワークRAM 5 7に転送された消去／書き込み制御プログ
ラムM 3を実行して、ユーザプログラム領域5 6 1にバッファRAM 1
6内の全部又は一部のアプリケーションプログラムM 2を書き込みす
ることになる。
- 15 前記リブートプログラム領域5 6 0は更に、ベクタアドレスが格納さ
れるベクタテーブル5 6 0 Aとそのベクタテーブル5 6 0 Aのベクタ
アドレスによって参照される所定のプログラムの格納領域5 6 0 Bと
を含む。前記ベクタテーブル5 6 0 Aは、リセットベクタB C T 1及び
A T A P I 割込みベクタB C T 2などを含む。プログラムの格納領域5
20 6 0 Bはリセット処理プログラムP R G 1及びA T A P I 割込み処理
プログラムP R G 2などを含む。
- 25 前記リセット処理プログラムP R G 1は前記リセットベクタB C T
1によって参照される。即ち、パワーオンリセット又はハードウェア若
しくはソフトウェアリセットの指示があると、C P U 5 1は前記リセッ
トベクタB C T 1を読み込み、それによって指示される前記リセット処理
プログラムP R G 1の先頭アドレスにその処理を分岐させる。

第3図にはリセット処理のフローチャートが示される。リセット処理では先ず内部の初期化若しくは内部回路の初期設定が行われる(S1)。特にマイクロコンピュータ5はその後、アプリケーションプログラムのオンボード書き込み若しくは書き換えを行うか否か、即ちユーザリブートモードか否かを判定する(S2)。この例では、ユーザリブートモードの起動条件は、特に制限されないが、CD-ROMドライブ装置2の電源投入時に所定のスイッチ例えばディスクのイジェクトスイッチを押すこととされる。イジェクトスイッチなどを操作して指示されるユーザリブートモードを、特に強制リブートモードとも称する。前記強制リブートモードでなければ、前記アプリケーションプログラムM2の実行に移る(S3)。前記ユーザリブートモードの場合には、リブートフラグがセット状態にされ(S4)、その後、ATAPI割込みを待つことになる(S5)。リブートフラグは例えばCPU51に含まれる図示を省略するフラグ若しくはコントロールレジスタの所定の1ビットが割り当てられる。

前記ATAPI割込み処理プログラムPRG2は前記ATAPI割込みベクタBCT2によって参照される。すなわち、ATAPIプロトコルにおいてATAPIインターフェース回路4に供給される一連の情報の先頭にはコマンドが配置されている。コマンドはコマンドバッファ40に取り込まれる。コマンドがコマンドバッファ40に取り込まれると、ATAPIインターフェース回路4は割込み信号42によってその旨をCPU51に通知する。CPU51はATAPI割込みを受け付けると、ATAPI割込みベクタBCT2を参照してATAPI割込み処理プログラムPRG2にその処理を分岐させる。

第4図にはATAPI割込み処理プログラムのフローチャートが示される。CPU51は、ATAPI割込みがあると、コマンドバッファ

40からコマンドをリードし、それを解読する(S10)。そして、前記リブートフラグを検査する。リブートフラグがセット状態でない場合には、そのコマンドの解読結果に従って、アプリケーションプログラムM2に含まれる所定の処理ルーチンを実行し、例えばディスク1から記録情報を読み出すための記録情報再生制御を開始する(S12)。前記リブートフラグがセット状態の場合に、そのコマンドが所定のコマンド(ベンダーエニクコマンド)である場合には、記録情報再生制御プログラムをオンボード書き込みするためのリブートプログラムが実行される。

10 この例において、前記リブートプログラムの実行とは、前記CPU51が、前記入力制御プログラムM1を実行して、ホスト装置3からATAPIインターフェース回路4に供給された記録情報再生制御プログラムをバッファRAM16に格納すると共に、前記転送制御プログラムM4を実行して消去／書き込み制御プログラムM3を前記ワークRAM57に転送した後、ワークRAM57が保有する消去／書き込み制御プログラムM3を実行して、バッファRAM16内の全部又は一部のアプリケーションプログラムをユーザプログラム領域561に書き込み制御することである。尚、前記ベンダーエニクコマンドは、特に制限されないが、ATAPIインターフェース仕様において規格化されていない(若しくは未使用の)コード情報とされる。

第2図において、ユーザプログラム領域561に格納されるアプリケーションプログラムM2は、メインプログラムとサブルーチンに分けられた処理プログラム及び分岐先サブルーチンのプログラムアドレスを与える2次ベクトテーブルなどによって構成されている。第3図のS2においてユーザリブートモードでないことが判定された後、CPU51の図示しないプログラムカウンタは、アプリケーションプログラムM2

における処理プログラムの先頭アドレスに強制され、これによって、そのプログラムアドレスを起点にアプリケーションプログラムを実行する。

前記フラッシュメモリ 5 6 は、第 5 図に例示されるように、一括消去 5 単位とされる複数個のメモリブロック (BLK 0 ~ BLK n) を有する。このとき、前記リポートプログラム領域 5 6 0 及びユーザプログラム領域 5 6 1 を、相互に異なるメモリブロックに割り当てる。例えば、メモリブロック BLK 0 がリポートプログラム領域 5 6 0 に割り当てられている。

10 消去／書き込み制御プログラム M 3 はユーザプログラム領域 5 6 1 だけを書き込み対象とする。即ち、第 5 図に従えば、消去／書き込み制御プログラム M 3 は、その制御動作上、消去／書き込みブロック指定レジスタに対して、メモリブロック BLK 0 を消去・書き込み対象とすることはない。換言すれば、消去／書き込み制御プログラム M 3 は、リポートプログラム 15 領域 5 6 0 を書き込み対象とはしない。この意味において、リポートプログラム領域 5 6 0 の書き換えが阻止されている。

前記リポートプログラム領域 5 6 0 が保有しているプログラムは、A T A P I インタフェース回路 4 を介して書き換えすることができないから、初期的な書き込みの信頼性が高くなければならない。それを保証するには、特に制限されないが、マイクロコンピュータの製造工程でそれ 20 ラプログラムを書き込むことが望ましい。

第 6 図にはマイクロコンピュータの製造工程が概略的に示される。例えば多数のマスクパターンを利用して単結晶シリコンウェーハ上にマイクロコンピュータを構成する回路を集積したウェーハを製作する (ステップ P 1)。製作されたウェーハに対してウェーハ検査が行われ (ステップ P 2)、そしてウェーハ上の回路機能に対するプローブ検査が行 25

われ、ウェーハ上のマイクロコンピュータチップに対する良否が判定される（ステップP 3）。プロープ検査の後、ダイシングによってウェーハから複数個のマイクロコンピュータチップが切り出され、良品チップがボンディングやパッケージングの工程を経て組み立てられる（ステップP 4）。組み立て後、雰囲気温度や動作電圧を許容限度の上限としてマイクロコンピュータを動作させ、近い将来に生ずるであろう不良を予じめ顕在化させるためのエージングを行なう（ステップP 5）。エージングの後、テスタを使ってマイクロコンピュータLSIの選別を行なう（ステップP 6）。この選別工程には、内蔵フラッシュメモリ56に対する消去、書き込みテストが含まれる。この工程を利用して、リブートプログラム領域に前記消去／書き込み制御プログラム等のリブートプログラムの書き込みを行なう。書き込まれたリブートプログラムに対しては、その動作テストを併せて行なうことも容易である。選別工程を経た後、マイクロコンピュータLSIはストックされ、出荷前に出荷検査が行われ（ステップP 7）、検査で不都合のないものが出荷される（ステップS 8）。

上述の様に、消去／書き込み制御プログラムM3はリブートプログラム領域560を消去／書き込み対象とはしない。これは所謂、ソフトウェアプロテクトである。CPUが暴走したり或いはユーザプログラムの不備によって、リブートプログラム領域560が不所望に消去・書き込まれないようにするために、ハードウェアプロテクトの手段を備えることができる。

第7図にはハードウェアプロテクトのための一例が示される。第7図において562は一括消去対象とするメモリブロックを指定する消去ブロック指定レジスタである。例えば第5図に対応させれば、消去ブロック指定レジスタ562は、メモリブロックBLK0～BLKnに1対

1 対応される制御ビット E S 0～E S n を有し、制御ビット E S 0～E S n は論理値 1 によって対応メモリブロックの消去をフラッシュメモリ 5 6 に指示する。5 6 3 は、消去ブロック指定レジスタ 5 6 2 による消去指示に拘らず消去を禁止するメモリブロックを指定するための消去禁止ブロック指定レジスタである。例えば第 5 図に対応させれば、消去禁止ブロック指定レジスタ 5 6 3 は、メモリブロック B L K 0～B L K n に 1 対 1 対応される制御ビット I H 0～I H n を有し、制御ビット I H 0～I H n は論理値 0 によって対応メモリブロックの消去を禁止する。消去ブロック指定レジスタ 5 6 2 と消去禁止ブロック指定レジスタ 5 6 3 との対応ビットは夫々 2 入力アンドゲート A N D 0～A N D n に供給され、アンドゲート A N D 0～A N D n の出力が、フラッシュメモリ 5 6 に対する消去ブロック指定情報として供給される。消去ブロック指定レジスタ 5 6 2 及び消去禁止ブロック指定レジスタ 5 6 3 の双方に対するデータ設定は C P U 5 1 が行なう。特に、消去禁止ブロック指定レジスタ 5 6 3 に対するデータ設定はイニシャライズリセットで行なうことができる。例えば、I H 0 を論理値 0 に設定する。この構成によれば、消去／書き込み制御プログラム M 3 の実行中に C P U 5 1 が暴走したとき、レジスタ 5 6 3 の値が不所望に書き換えられない限り、レジスタ 5 6 2 の値が変化されても、ブートプログラム領域 5 6 0 は消去されない。

第 8 図にはハードウェアプロテクトを実現するための別の例が示されている。第 8 図において 5 6 2 は第 7 図と同じ消去ブロック指定レジスタである。5 6 4 は、マイクロコンピュータ 5 の外部端子 T 0～T i から供給されるデータをデコードして、メモリブロック単位の消去禁止信号を出力する。前記消去ブロック指定レジスタ 5 6 2 は内部バス 5 8 を介し C P U 5 1 によってデータ設定される。内部バス 5 8 と消去ブ

ック指定レジスタ 562 の入力との間には、2 入力アンドゲート AND 0～AND n が配置されている。アンドゲート AND 0～AND n の一方の入力には、内部バス 58 の信号線がビット毎に供給され、他方の入力には前記消去禁止信号がビット毎に供給される。したがって、論理値 5 0 の消去禁止信号が供給されるアンドゲートの出力は常時論理値 0 にされるから、そのアンドゲートの出力に対応される消去ブロック指定レジスタの制御ビットは論理値 1 (消去指示レベル) にされることはない。例えば、メモリブロック BLK 0 がリブートプログラム領域に割り当てるとき、アンドゲート AND 0 の出力が常時論理値 0 になるように 10 外部端子 T 0～T i をプルアップ又はプルダウンしておけば、CPU 5 1 が暴走した場合もリブートプログラム領域 560 が書き換えられる虞は全くない。

以上説明したように、前記マイクロコンピュータ 5 が ATA P I インタフェース回路 4 や CD-R OM デコーダ 9 などと一緒に配線基板(ボード)に実装されて構成された CD-R OM ドライブ装置 2 において、リセット時に前記強制リブートモードを設定することにより、当該マイクロコンピュータ 5 の CPU 51 は内蔵フラッシュメモリ 56 のリブートプログラムを実行して、ユーザプログラム領域の 561 のアプリケーションプログラム M 2 の全部又は一部を、ホスト装置 3 から ATA P I インタフェース回路 4 に供給される新たなプログラムに更新することができる。これにより、今後極めて短いサイクルで生ずるであろう、再生速度転換時期に、再生速度の向上に応じて必要な修正を加えたアプリケーションプログラム M 2 の全部又は一部を書き換えるだけで、CD 25 - R OM ドライブ装置 2 におけるそのような再生速度の転換に即座に若しくはタイムリーに対応できることになる。アプリケーションプログラムの書き換え若しくは更新は、アプリケーションプログラムの全部で

あることに限定されず、その一部であってもよい。アプリケーションプログラムに含まれる再生制御プログラムだけ書き換え対象としてもよい。要するに、必要な修正がアプリケーションプログラムの全体に及べばその全体を、また、必要な修正がアプリケーションプログラムの一部で済めば当該一部を書き換えればよい。

このとき、前記フラッシュメモリ 56 の書き換え対象はユーザプログラム領域 561 とされる。リブートプログラム領域 560 は書き換え対象ではないから、フラッシュメモリ 56 の書き換え動作途中で異常があった場合にも、再度リブートプログラムを実行すれば、すぐにユーザプログラム領域 561 に対する再書き込み動作に移行でき、書き換え途中における異常状態からの復旧に手間取ることはない。

CD-ROM ドライブ装置 2 においてアプリケーションプログラム M2 を格納しているのは前記フラッシュメモリ 56 だけであるから、書き換えの制御手順を簡素化でき、しかも書き換え時間も短縮できる。更に、アプリケーションプログラムとリブートプログラムは一緒にフラッシュメモリ 56 に格納されるから、夫々のプログラムが別々のメモリに格納される場合に比べて、CD-ROM ドライブ装置 2 の物理的な規模の増大を極力抑制して上記効果を得ることができる。

上記の例ではリブートプログラムは、入力制御プログラム、書き換え制御プログラム及び転送制御プログラムを含んでいる。したがって、ユーザプログラム領域 561 の更新に当たって、ホスト装置 3 は前記フラッシュメモリ 56 に対する書き込みコマンドに続けてユーザプログラム領域 561 に書き込むべきアプリケーションプログラムを CD-ROM ドライブ装置 2 に転送すればよく、書き換え制御プログラムを転送する必要はないから、ユーザプログラム領域 561 を更新する処理時間を更に短縮することができる。

前記リブートプログラム領域 560 は、リセットベクタ B C T 1 とリセット処理プログラム P R G 1 の格納領域とを有している。このとき、前記 C P U 51 は、リセットの指示に応答して前記リセットベクタ B C T 1 を参照することにより前記リセット処理プログラム P R G 1 の実行に移行する。
5 リセット処理プログラム P G R 1 の実行途上ではイジェクトスイッチが押されたか否かによって、ホスト装置 3 からの書き換えコマンドに応答し得る強制リブートモードであるか否かを判定する。強制リブートモードのときは、前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、強制リブート状態でないときは前記ユーザプログラム領域のアプリケーションプログラムを実行可能な状態に遷移する。
10 したがって、フラッシュメモリ 56 の書き換えに際して異常が起きても、リセットをかけて強制リブートモードの指示を行えば、その異常から容易に復旧して、フラッシュメモリ 56 を書き換える処理に戻ることができる。この点においても、ユーザプログラム領域を更新する処理時間を短縮することができる。

前記フラッシュメモリ 56 は一括消去単位とされる複数個のメモリブロック B L K 0 ~ B L M n を有している。このとき、前記リブートプログラム領域と前記ユーザプログラム領域とを相互に異なるメモリブロックに割り当てているから、ユーザプログラム領域 561 に対する消去動作を効率化できる。換言すれば、ユーザプログラム領域 561 に書き換えに当たって当該領域の消去動作を一緒に行うことができる。

ホスト装置 3 とのインターフェースに A T A P I インタフェース回路 4 を採用するから、C D - R O M ドライブ装置 2 は、S C S I インタフェース仕様等のディスクドライブ装置に関して蓄積された過去のソフトウェア資産を承継しながら、拡張 I D E のような新しいインターフェースを採用でき、しかもコストの低減を図ることができる。前記 A T A P

I インタフェース仕様は、パーソナルコンピュータ等の分野で広く普及している I D E インタフェースに準拠しているから、ユーザプログラム領域 5 6 1 の書き換えに際して、CD - ROM ドライブ装置メーカはその生産ライン上のホストシステムを利用できる。また、パーソナルコンピュータのセットメーカは、CD - ROM ドライブ装置をパーソナルコンピュータに組み込んだままの状態で、当該パーソナルコンピュータを利用して再生制御プログラムの書き換えを行うことができる。

《パーソナルコンピュータ》

第 9 図には前記 CD - ROM ドライブ装置 2 を内蔵したパーソナルコンピュータ 3 0 の一例が示されている。このパーソナルコンピュータ 3 0 において、マイクロプロセッサ 3 1 は、特に制限されないが、P C I (Peripheral Component Interconnect) バスコントローラ 3 2 を介して P C I バスの規格に準拠した内部バス (P C I バス) 3 3 に接続されている。前記内部バス 3 3 には周辺コントローラとして代表的に示された I D E インタフェースコントローラ 3 4 が結合され、前記 CD - R OM ドライブ装置 2 は、インターフェースケーブルとしての A T A P I バス 3 5 を介して前記 I D E インタフェースコントローラ 3 4 に結合されている。前記 I D E インタフェースコントローラ 3 4 はハードディスク装置 3 6 と内部バス 3 3 とのインターフェース制御も行う。前記マイクロプロセッサ 3 1 、P C I バスコントローラ 3 2 、内部バス 3 3 及び I D E インタフェースコントローラ 3 4 は P C ボード (メインボード) 3 7 を構成する。前記 P C ボード 3 7 、CD - ROM ドライブ装置 2 及びハードディスク装置 3 6 は共通のケース (筐体) に内蔵されいる。尚、図示は省略するが、前記 P C ボード上にはその他の周辺コントローラとして、グラフィックアクセラレータ、プリンタなどとのパラレルインターフェースを行うセントロニクスインターフェースコントローラ、及びフロ

ツピーディスクドライブ装置とのインターフェース制御を行うフロッピーディスクコントローラ等が内部バス33に接続されて実装されている。第9図を第1図に対応させると、第1図のホスト装置3は、第9図のパーソナルコンピュータ30においてCD-ROMドライブ装置2を除いた部分になる。

前記パーソナルコンピュータ30においては、CD-ROMドライブ装置2とIDEインターフェースコントローラ34との接続状態を変更することなく、若しくはCD-ROMドライブ装置2をパーソナルコンピュータ30の筐体から取り外すことなく、前記マイクロプロセッサ31にユーティリティープログラムを実行させて、CD-ROMドライブ装置2に書き換えコマンドや新しいアプリケーションプログラムを転送してやれば、上記同様、CD-ROMドライブ装置2の再生制御プログラムを簡単に更新することができる。

《ユーザプログラム領域の書き換え動作》

第10図～第15図は第9図に示されるパーソナルコンピュータ30に搭載された状態でCD-ROMドライブ装置2のアプリケーションプログラムを書きかえる動作を順を追って示している。第10図～第15図においてCD-ROMドライブ装置2はパーソナルコンピュータ30の筐体38の外に拡大して図示してある。

第10図は初期状態を示し、CD-ROMドライブ装置2はATAPIバス35を介して前記IDEインターフェースコントローラ34に接続されている。前記入力制御プログラムM1、消去／書き込み制御プログラムM3、転送制御プログラムM4が格納されているリポートプログラム領域560は、アプリケーションプログラムM2が格納されるユーザプログラム領域561とは、相互に異なるメモリブロックに割り当てられている。

第11図に示されるように、アプリケーションプログラムを書き換えるときは、例えばCD-ROMドライブ装置2をリセットすると共に、ディスクのイジェクトスイッチを押して、CD-ROMドライブ装置2に前記強制リブートモードを設定する。例えばフロッピーディスクFD5には、バグの修正された或いはバージョンアップされたアプリケーションプログラムと、そのアプリケーションプログラムをCD-ROMドライブ装置2に書き込むためのユーティリティープログラムが格納されている。このユーティリティープログラムは、アプリケーションプログラムをCD-ROMドライブ装置2に転送するための転送ソフトウェアである。前記フロッピーディスクFDをパーソナルコンピュータ30のフロッピーディスクドライブに挿入して起動する。ユーティリティープログラムはハードディスク装置36に格納されていてもよい。

起動された転送ソフトウェアの指示に従ってパーソナルコンピュータ側でキー操作等が行われると、パーソナルコンピュータ30のマイクロプロセッサ31は、フラッシュメモリ56に対する書き込みコマンド(前記ベンダーユニークコマンド)をIDEインターフェースコントローラ34を介して出力する。ATAPIインターフェース回路4は、前記書き込みコマンドを認識すると、ATAPI割込み信号42をCPU51に与える。これによってCPU51は、入力制御プログラムM1を実行し、先ず最初にバッファRAM16の内容をクリアする。

第12図に示されるように、パーソナルコンピュータ30のマイクロプロセッサ31は、前記書き込みコマンドに続いて、新たなアプリケーションプログラム(新アプリケーションプログラム)をIDEインターフェースコントローラ34を介して出力する。CPU51は入力制御プログラムM1を実行する。これによりCPU51は、ATAPIインターフェース回路4に供給されたアプリケーションプログラムをバッファR

A M 1 6 に順次格納していく。A T A P I インタフェース回路 4 に順次供給されてくる情報にパリティーが付加されている場合には、パリティーチェックを行い、エラーのあるデータブロックに対して再送が要求される。

5 第 1 3 図に示されるように、新アプリケーションプログラムがバッファ R A M 1 6 に格納された後、C P U 5 1 は転送制御プログラム M 4 の実行に移る。これによって C P U 5 1 は、消去／書き込み制御プログラム M 3 をマイクロコンピュータ 5 のワーク R A M 5 7 に転送制御する。

10 第 1 4 図に示されるように、消去／書き込み制御プログラム M 3 がワーク R A M 5 7 に転送完了された後、C P U 5 1 はそのワーク R A M 5 7 に格納された消去／書き込み制御プログラム M 3 の実行に移る。このときの消去ブロックの指定は消去／書き込み制御プログラム M 3 に従って行われる。また、マイクロコンピュータ 5 には、書き込み及び消去用の高電圧が供給されている。消去／書き込み制御プログラムが実行されることにより、先ず、フラッシュメモリ 5 6 のユーザプログラム領域 5 6 1 が消去・消去ペリファイされる。次に第 1 5 図に示されるように、C P U 5 1 は、バッファ R A M 1 6 に格納されている新たな再生制御プログラムとしての新アプリケーションプログラムを順次フラッシュメモリ 5 6 のユーザプログラム領域 5 6 1 に書き込む動作と書き込みペリファイ動作とを行っていく。特に制限されないが、書き込みアドレス等は消去／書き込みプログラムによって規定されている。

書き込み動作終了後、C D - R O M ドライブ装置 2 がリセットされることにより、C D - R O M ドライブ装置 2 は、更新されたアプリケーションプログラムに従って C D - R O M の再生制御を行うことができる。

25 第 1 6 図には前記ユーザプログラム領域を書き換える動作のフローチャートが概略的に示されている。前記転送ソフトウェアが起動される

と、CPU 51 は、マイクロプロセッサ 31 から ATA PI インタフェース回路 4 を介して供給される前記新アプリケーションプログラムをバッファ RAM 16 に転送すると共に、消去／書き込み制御プログラムをワーク RAM 57 に転送する (S20)。転送に際してはパリティ一
5 チェック若しくはサムチェックを行い、転送異常があるかを監視する (S21)。転送異常がある場合にはそのアプリケーションプログラムを再送する。バッファ RAM 16 及びワーク RAM 57 への転送が完了されると、フラッシュメモリ 56 のユーザプログラム領域 561 が消去
10 (S22)、次いで、バッファ RAM 16 に転送された新アプリケーションプログラムがフラッシュメモリ 56 のユーザプログラム領域 561 に書き込まれる (S23)。書き込みデータに対しては書き込みペリファイが行われる (S24)。

上述のようなユーザプログラム領域 561 の書き換え処理は、CD-ROM ドライブメーカーがホスト装置 3 を用いて実施できることは言うまでもないが、第 10 図～第 16 図に示した処理は、例えば CD-ROM ドライブ装置 2 がパーソナルコンピュータ 30 に標準搭載されるとき、パソコンメーカーが、パーソナルコンピュータ 30 上で CD-ROM ドライブ装置 2 を評価する期間に、バグの修正されたアプリケーションプログラムをユーザプログラム領域 561 に再インストールする手法
15 として位置付けることができる。
20

第 10 図～第 16 図に基づいて説明したように、CD-ROM ドライブ装置 2 のユーザプログラム領域 561 の書き換えでは、パーソナルコンピュータ 30 の PC ボード 37 をホスト装置とし、この PC ボード 37 を介して CD-ROM ドライブ装置 2 のアプリケーションプログラムを書き換えることができる。したがって、CD-ROM ドライブ装置 2 をパーソナルコンピュータ 30 から取り外すことなく、前記マイクロ
25

プロセッサ 31 を利用して、CD-ROM ドライブ装置 2 の再生制御プログラム及びインターフェース制御プログラムなどのアプリケーションプログラムの全部又は一部を変更できる。

したがって、CD-ROM ドライブ装置 2 における再生速度の転換サイクルが極端に短くされ、CD-ROM ドライブ装置 2 がパーソナルコンピュータ 30 に標準搭載され、それによって CD-ROM ドライブメーカーはパソコンメーカー毎に相違する仕様で CD-ROM ドライブ装置 2 のアプリケーションプログラムを作成しなければならない状況下において、パソコンメーカーは、CD-ROM ドライブ装置 2 の評価期間を通じてドライブメーカーからアプリケーションプログラムに関するバグの修正や追加機能を受けながらパーソナルコンピュータ 30 に組み込まれたままの状態で CD-ROM ドライブ装置 2 の評価を行うことができる。前述の通り、CD-ROM ドライブ装置 2 は、ユーザプログラム領域 561 に対する書き換え処理の能率化、書き換え処理中における異常状態から速やかに復旧して書き換え処理に戻れるなどの手段が講じられているから、CD-ROM ドライブ装置 2 の評価期間を通じて、マイクロコンピュータ 5 に内蔵されたフラッシュメモリ 56 を、修正されたアプリケーションプログラムに効率的に書き換えることができる。よって、パソコンメーカーはディスクドライブ装置の評価期間を短期できる。

これにより、CD-ROM ドライブ装置 2 における再生速度の転換サイクルが極端に短くされている状況下において、パソコンメーカーは、より再生速度の速い CD-ROM ドライブ装置 2 を標準搭載したパーソナルコンピュータ 30 を効率的に市場に投入できるようになる。

また、パーソナルコンピュータの OS (Operating System) が変更 (バージョンアップ) されるような場合に、変更された OS に対応されるコ

マンドを処理するインターフェース機能をアプリケーションプログラムのインターフェース制御プログラムに反映するような修正にも即座に対応することができる。

前記アプリケーションプログラムはインターネット等の通信手段で C
5 D-ROM ドライブ装置 2 の製造又は販売会社からパソコンメーカー又はその販売会社に、或いはパソコンメーカー又はその販売会社からパーソナルコンピュータのエンドユーザに供給することも可能である。これによれば、パソコンメーカー又はその販売会社或いはパーソナルコンピュータのエンドユーザに瞬時に前記アプリケーションプログラムを送ることができる。したがって、前記パーソナルコンピュータ 30 がインターネットにアクセスするハードウェア及びソフトウェアを備えたものであれば、バージョンアップ若しくはバグが修正された再生制御プログラムをユーザプログラム領域 561 に簡単に再インストールすることができ、パソコンメーカーによる CD-ROM ドライブ装置の評価期間の短縮はもとより、エンドユーザに対しても、CD-ROM ドライブ装置の機能変更を容易化することができる。

《消去／書き込み制御プログラムのダウンロード化》

上記構成ではフラッシュメモリ 56 のリブートプログラム領域 561 に消去／書き込み制御プログラム M3 を配置し、そこからワーク RAM 57 に内部転送して当該プログラムを CPU 51 が実行するようにした。これに対し、消去／書き込み制御プログラム M3 をフラッシュメモリ 56 には格納せず、ユーザプログラム領域 561 を書き換える度に、前記ホスト装置 3 若しくは PC ボード 37 を介してワーク RAM 57 にダウンロードするようになる。これによれば、フラッシュメモリ 56 はその消去／書き込み制御プログラムを保有しないから、CPU 51 が暴走してフラッシュメモリ 56 に格納されているプログラムを不所

望に実行することがあっても、当該フラッシュメモリ 56 が誤ってか書き換えられる虞は全くなくなる。

第 17 図～第 22 図には、フラッシュメモリ 56 がその消去／書き込み制御プログラム M3 を保有した場合において、パーソナルコンピュータ 30 に搭載された状態で CD-ROM ドライブ装置 2 のアプリケーションプログラムを書きかえる動作を順を追って示している。第 17 図～第 22 図において CD-ROM ドライブ装置 2 はパーソナルコンピュータ 30 の筐体 38 の外に拡大して図示してある。

第 17 図は初期状態を示し、CD-ROM ドライブ装置 2 は ATA P 10 I バス 35 を介して前記 IDE インタフェースコントローラ 34 に接続されている。リブートプログラム領域 560 には前記消去／書き込み制御プログラム M3 は格納されていない。

第 18 図に示されるように、アプリケーションプログラムを書き換えるときは、例えば CD-ROM ドライブ装置 2 をリセットすると共に、ディスクのイジェクトスイッチを押して、CD-ROM ドライブ装置 2 に前記強制リブートモードを設定する。例えばフロッピーディスク FD には、バグの修正された或いはバージョンアップされたアプリケーションプログラムと、CPU 51 が実行してそのアプリケーションプログラムをユーザプログラム領域 561 に書き込むための消去／書き込み制御プログラムと、前記マイクロプロセッサ 31 が実行して CPU 51 にユーザプログラム領域 561 の書き換え処理を実行させるためのユーティリティープログラムとが格納されている。このユーティリティープログラムは、アプリケーションプログラム及び消去／書き込み制御プログラムを CD-ROM ドライブ装置 2 に転送するための転送ソフトウェアとことができる。前記フロッピーディスク FD をパーソナルコンピュータ 30 のフロッピーディスクドライブに挿入してユ

一ティリティープログラムを起動する。ユーティリティープログラムはハードディスク装置36に格納されていてもよい。

起動された転送ソフトウェアの指示に従ってパーソナルコンピュータ側でキー操作等が行われると、パーソナルコンピュータ30のマイクロプロセッサ31は、フラッシュメモリ56に対する書き込みコマンド(前記ベンダーエンタープライズコマンド)をIDEインターフェースコントローラ34を通して出力する。ATAPIインターフェース回路4は、前記書き込みコマンドを認識すると、ATAPI割込み信号42をCPU51に与える。これによってCPU51は、入力制御プログラムM1を実行し、先ず最初にバッファRAM16の内容をクリアする。

第19図に示されるように、パーソナルコンピュータ30のマイクロプロセッサ31は、前記書き込みコマンドに続いて、新たなアプリケーションプログラム(新アプリケーションプログラム)及び消去/書き込み制御プログラムをIDEインターフェースコントローラ34を通して出力する。CPU51は入力制御プログラムM1を実行する。これによりCPU51は、ATAPIインターフェース回路4に供給されたアプリケーションプログラム及び消去/書き込み制御プログラムをバッファRAM16に順次格納していく。

第20図に示されるように、新アプリケーションプログラム及び消去/書き込み制御プログラムがバッファRAM16に格納された後、CPU51は転送制御プログラムM4の実行に移る。これによってCPU51は、消去/書き込み制御プログラムM3をバッファRAM16からマイクロコンピュータ5のワークRAM57に内部転送する。

そして、第21図に示されるように、CPU51はそのワークRAM57に格納された消去/書き込み制御プログラムM3の実行に移る。このときの消去ブロックの指定は消去/書き込み制御プログラムM3に

従って行われる。また、マイクロコンピュータ 5 には、書き込み及び消去用の高電圧が供給されている。消去／書き込み制御プログラムが実行されることにより、先ず、フラッシュメモリ 5 6 のユーザプログラム領域 5 6 1 が消去・消去ペリファイされる。次に第 2 2 図に示されるように、CPU 5 1 は、バッファ RAM 1 6 に格納されている新アプリケーションプログラムを順次フラッシュメモリ 5 6 のユーザプログラム領域 5 6 1 に書き込む動作と書き込みペリファイ動作とを行っていく。書き込み動作終了後、CD-ROM ドライブ装置 2 がリセットされることにより、CD-ROM ドライブ装置 2 は、更新されたアプリケーションプログラムに従って CD-ROM の再生制御を行うことができる。

《ユーザプログラム領域に対するチェックサム》

上記説明した強制リブートモードの設定はイジェクトスイッチを操作することが条件とされる。ここでは、前記強制リブートモードのほかに、ユーザプログラム領域 5 6 1 を書き換えることができる動作モードを設定可能にした CD-ROM ドライブ装置 2 を説明する。

第 2 3 図に示すように、前記ユーザプログラム領域 5 6 1 は、その一部の記憶領域に、その他の記憶領域が保有する情報のサム値を格納するサム値格納領域 M 2 1 を有する点が第 2 図と相違する。前記サム値格納領域 M 2 1 に対するサム値の書き込みは、ユーザプログラム領域 5 6 1 に対する書き込み動作毎に行うことになる。前記リブートプログラム領域 5 6 0 は、第 2 図に基づいて説明したのと同様に、リセットベクタ B C T 1 及びリセット処理プログラム P G M 1 等の格納領域を有する。

第 2 4 図にはリセット時に前記サム値を考慮してユーザプログラム領域 5 6 1 を書き換え可能にするときの動作フローチャートが示される。

リセット割り込みがあると前記 CPU 5 1 は、リセットの指示に応答

して前記リセットベクタB C T 1を参照することにより前記リセット処理プログラムP R G 1の実行に移行し(S 3 0)、マイクロコンピュータ5内部やその周辺回路を初期化する(S 3 1)。

そして、前記書き換えコマンドに応答し得る強制リブートモードか否かを判定する(S 3 2)。即ち、イジェクトスイッチが押されていれば強制リブートモードと判定される。強制リブートモードのときは、前記第2図及び第3図で説明した通り前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移する。即ち、リブートフラグをセットし(S 3 3)、前記書き換えコマンドの入力を待って前記リブートプログラムを起動し(S 3 4)、今まで説明したようにユーザプログラム領域5 6 1に新たなアプリケーションプログラムを書き込む(S 3 5)。この処理の最後には、ユーザプログラム領域のデータのサム値を演算し、その値を前記サム値格納領域M 2 1に保存しておく。

ステップS 3 2の判断で強制リブートモードでないとき、C P U 5 1はユーザプログラム領域5 6 1のサム値を演算し(S 3 6)、演算した値が前記サム値格納領域M 2 1に格納されているサム値に一致するかを判定する(S 3 7)。

ステップS 3 7の判定結果が不一致の場合には前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移する。ステップ20 3 7の判定結果が一致の場合には2次ベクタテーブルを参照して(S 3 8)、前記アプリケーションプログラム領域5 6 1のプログラムを実行可能な状態に遷移する(S 3 9)。

このように、ホスト装置3や、CD-ROMドライブ装置2などの異常によって前記アプリケーションプログラム領域5 6 1のプログラムが不所望に書き換えられたときは、強制リブートモードが指示されなくとも、リセットされるだけで、自己診断的に、C P U 5 1の動作を、ア

プリケーションプログラム領域 561 に対する書き換え可能な状態に遷移させることができ、CD-ROM ドライブ装置 2 の誤動作を未然に防止することができる。

《プログラム配置のその他の例》

5 以上の説明ではアプリケーションプログラムはフラッシュメモリ 5
6 のユーザプログラム領域 561 に配置した。また、リブートプログラム
はリブートプログラム領域 560 に配置した。CD-ROM ドライブ
装置 2 におけるプログラム配置は、次のように変更することができる。
例えば、第 25 図に示されるようにベクタテーブルをワーク RAM 57
10 に配置してもよい。ベクタテーブルを RAM 化すれば、CPU 51 の動
作モードなどに応じてベクタテーブルの内容を動的に変更するこ
が容易になる。

第 26 図には前記フラッシュメモリ 56 のアドレスマップの別の例
が示されている。第 26 図の例においてリセット処理プログラム PRG
15 1 はサム (SUM) 値チェックと強制リブートモード SW (イジェクト
スイッチ) の操作を検出する処理などを規定する。アプリケーションプ
ログラム領域 561 に含まれるブート処理プログラム M23 は、リブー
トプログラム領域 560 の PRG2, M1, M3, M4 の各プログラム
と同じ処理を規定するものである。すなわち、ユーザプログラム領域 5
20 61 のアプリケーションプログラムを実行可能な状態においても、書
き換えコマンドを受け付けてユーザプログラム領域 561 の書き換えを行
うことができる。この場合には、イジェクトスイッチの操作やサム値
のチェックは要しないものとされる。

《フラッシュメモリに対する書き込み態様》

25 以上説明してきたフラッシュメモリのリブートプログラム領域 56
0 及びユーザプログラム領域 561 に対する書き込み動作を、CD-R

OMドライブメーカー（ドライブメーカー）及びPCメーカー（パソコンメーカー）の処理に対応付けて説明する。

第27図はCD-ROMドライブメーカーによるCD-ROMドライブ装置2の製造手順を示すフローチャートである。

- 5 CD-ROMドライブメーカーは、マイクロコンピュータ5をLSIメーカから購入してCD-ROMドライブ装置2を組み立てる。特にその回路部分は配線基板(PCB)上に構成する(S40)。この時マイクロコンピュータ5に内蔵されたフラッシュメモリ56のリブートプログラム領域560に対するプログラムの書き込み様は、CD-ROMドライバメーカーがEPROMライタによって行う場合(S41)、半導体メーカーによるマイクロコンピュータ5の製造工程で行う場合(S42)、或いは、前記配線基板にマイクロコンピュータ5を実装し(S43)その後で当該マイクロコンピュータ5にブートモードを設定して行う場合(S46)がある。
- 10 15 E PROMライタで書き込みを行う場合には、第31図に例示するようにマイクロコンピュータ5の内部バス58を外部とインタフェースさせるポート581(第1図には図示を省略してある)をE PROMライタ582に接続して行う。E PROMライタ582は、書き込み高電圧をマイクロコンピュータ5に印加して、プログラムモードをマイクロコンピュータ5に設定する。プログラムモードが設定されたマイクロコンピュータ5は、E PROMライタ582にとってフラッシュメモリ単体LSIと同様にみなされ、E PROMライタ582はマイクロコンピュータ5の内蔵フラッシュメモリ56を外部から書き換え可能になる。この状態で、E PROMライタ582によってフラッシュメモリ56のリブートプログラム領域560に前記リブートプログラムなどを初期的に書き込む(S41)。マイクロコンピュータのリブートプログラム
- 20 25

領域 560 に対する書き込み後、当該マイクロコンピュータ 5 は前記 CD-ROM ドライブ装置 2 の配線基板に実装される (S44)。尚、第 31 図において第 1 図と同一の回路ブロックには同一参照符号を付してある。

5 マイクロコンピュータ 5 のリブートプログラム領域 560 に対する書き込みが LSI メーカによって既に完了されている場合には (S42)、当該マイクロコンピュータ 5 が CD-ROM ドライブ装置 2 の前記配線基板に実装される (S45)。

プリント配線基板にマイクロコンピュータ 5 を実装した後、マイクロコンピュータ 5 にブートモードを設定してリブートプログラム領域 560 にプログラムを書き込む (S46) 場合には、例えば第 30 図に例示されるように、RS23C のようなシリアルポート 583 を介して結合されたホスト装置 584 で制御する。第 30 図に例示されるマイクロコンピュータ 5 は第 1 図のマイクロコンピュータ 5 に対して SCI 回路 585、ブート ROM 586 及びポート 587 が追加されている。ホスト装置 585 から書き込み用高電圧 588 とブートモード信号 589 がポート 587 を介してマイクロコンピュータ 5 に供給されると、CPU51 はブート ROM 586 のブートプログラムを実行する。CPU51 はブートプログラムを実行することにより、フラッシュメモリ 56 を全面消去し、SCI 回路 585 を初期設定し、シリアルポート 583 を介してホスト装置 584 とインタフェース可能にする。CPU51 はホスト装置 584 から供給されるプログラムをフラッシュメモリ 56 のリブートプログラム領域 560 に書き込み制御する。これによって、フラッシュメモリ 56 のリブートプログラムなどが書き込まれる。尚、シリアルポート 583 を利用して書き込む動作速度は、その性質上一般的に遅い。

その場合には、CD-ROMドライブ装置2の回路ボードには、ディスクアクセス動作には直接用いられないシリアルポート583を特別に配置しなければならならず、それによってCD-ROMドライブ装置の回路ボードの物理的な規模が大きくなることに注意しなければならない。CD-ROMドライブ装置の物理的な規模を小さくすることを優先させるならば、そのようなシリアルポート583を介するプログラム書き込みのための構成を設けないことが得策である。

前記ステップS44、S45又はS46によってフラッシュメモリ56のリブートプログラム領域560が初期設定され後、マイクロコンピュータ5がリセットされ、ユーザプログラム領域561に書き込みを行うために前記強制リブートプログラムモードが設定される(S47)。そして、前記ホスト装置3から書き込みコマンドを発行することにより、リブートプログラムを起動し、ユーザプログラム領域561にアプリケーションプログラムなどのアプリケーションプログラムを書き込む(S48)。正常に書き込みできたかが判定され(S49)、異常があった場合には再度リブートプログラムが起動される(S50)。正常に書き込まれた場合には、当該書き込まれたアプリケーションプログラムをマイクロコンピュータ5に実行させてCD-ROMドライブ装置2の動作テストを行う(S51)。動作テストで異常が発見されなかたCD-ROMドライブ装置2がPCメーカーに出荷される(S52)。

尚、フラッシュメモリ56のリブートプログラム領域560とユーザプログラム領域561に対する書き込みを別々に行わず、第29図に例示されるように一緒に行ってもよい。即ち、第29図に示されるステップS41AではEEPROMライトを用いてフラッシュメモリ56のリブートプログラム領域560及びユーザプログラム領域561に全てのプログラムを書き込む。ステップS42Aではマイクロコンピュータ5

を製造する L S I メーカが前記全てのプログラムを書き込む。ステップ S 4 3 A では C D - R O M ドライブメーカーがマイクロコンピュータ 5 の前記ブートモードを利用して前記全てのプログラムを書き込む。

第 2 8 図は C D - R O M ドライブメーカーから出荷された C D - R O M ドライブ装置 2 を用いた P C メーカによるパーソナルコンピュータの評価手順の一例を示すフローチャートである。

P C メーカは、C D - R O M ドライブメーカーから出荷された C D - R O M ドライブ装置 2 を対応するパーソナルコンピュータ 3 0 に組み込む (S 5 3)。このとき、C D - R O M ドライブ装置 2 は A T A P I インタフェース回路 4 を介して P C ボード 3 7 の I D E インタフェースコントローラ 3 4 に接続される。この状態で P C メーカはパーソナルコンピュータ 3 0 のマイクロプロセッサ 3 1 に所要のテストプログラムや任意のアプリケーションプログラムなどを実行させながら C D - R O M ドライブ装置 2 をアクセスして当該 C D - R O M ドライブ装置 2 の評価を行う。この評価に際して、C D - R O M ドライブ装置 2 のアプリケーションプログラムにバグがあるかを調べ (S 5 4)、また、アプリケーションプログラムに対して P C メーカ側からの仕様変更すべき個所があるかを調べる (S 5 5)。バグも仕様変更もなければその機種のパーソナルコンピュータは C D - R O M ドライブ装置 2 に関し何ら支障のないものとして評価を終わり、当該機種のパーソナルコンピュータは C D - R O M ドライブ装置 2 を搭載してエンドユーザへ出荷されることになる (S 6 1)。

一方、前記ステップ S 5 4 でバグの発生が明らかにされ、また、ステップ S 5 5 で仕様変更が明らかにされたとき、当該バグの情報や仕様変更に関する情報が C D - R O M ドライブメーカーに伝えられる。このとき、C D - R O M ドライブ装置 2 それ自体をパーソナルコンピュータ 3 0

から取り外して CD-ROM ドライブメーカーに送り返すことを要しない。

CD-ROM ドライブメーカーはそれに従ってアプリケーションプログラムを修正する (S 5 6)。修正されたアプリケーションプログラムは例えばインターネットなどを介して PC メーカーに送信される (S 5 7)。送信された修正プログラムは、実際の評価に用いているパーソナルコンピュータで受信することができる。そして、受信した修正済みのアプリケーションプログラムを CD-ROM ドライブ装置 2 のフラッシュメモリ 5 6 に書き込む (S 5 8)。書き込み動作の詳細は前述の通りマイクロコンピュータ 5 に強制リブートモードを設定してパーソナルコンピュータ 3 0 それ自体で即座に行うことができる。正常に書き込みできたかが判定され (S 5 9)、異常があった場合には再度リブートプログラムが起動される (S 6 0)。正常に書き込まれた場合には、その機種のパーソナルコンピュータの評価が終わる。このように、アプリケーションプログラムにバグがあっても、或いは PC メーカ側からアプリケーションプログラムの仕様変更を行う場合にも、修正されたアプリケーションプログラムを CD-ROM ドライブ装置 2 に簡単に再インストールすることができるから、パーソナルコンピュータ 3 0 に組み込んだ状態で CD-ROM ドライブ装置 2 を短期間に評価することが可能になる。

パーソナルコンピュータの出荷に当たって、CP メーカ側で CD-R OM ドライブ装置に前記修正されたアプリケーションプログラムを再インストールしなければならないものに対してはそれを行い、また、PC メーカ独自の情報 (CD-ROM ドライブの ID (identification) 情報) を PC メーカ自らがフラッシュメモリ 5 6 に書き込む場合にはそれを行う。そして当該機種のパーソナルコンピュータはエンドユーザへ

出荷されることになる（S 6 1）。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

- 5 例えば、リブートモードの設定は上記の例に限定されず、ベンダーユニクコマンドだけで設定することも可能である。その場合には、ベンダーユニクコマンドの解読結果を用いて、C P Uの処理をユーザリブート用のプログラムに移行させることができる。また、記憶情報再生装置の量産ライン上で初めてアプリケーションプログラムを不揮発性メモリに書き込む場合には、アプリケーションプログラムの先頭にある2
10 次ペクタテーブルに何も記憶されていない状態（例えば、全ビット論理値0又は1）をソフトウェアで検出して、ユーザリブートモードに移行するようにしてもよい。また、フラッシュメモリの所定のブロックを2
15 バンク構成とし、一方のバンクを書き換え禁止領域として用いることが可能である。このときのバンク切換えは、ユーザリブートモードの設定に連動され、ユーザリブートモードにおいては書き換え禁止側のブロックが用いられる。また、前記サム値を求める演算はユーザプログラム領域のデータを単に加算するだけでなく、適当な論理を通して加算することも可能である。
20 尚、リブートプログラムは、前記アプリケーションプログラムを書き込み若しくは再書き込みするためのイニシャルプログラムを意味している。したがって、前記リブートプログラム領域には、前記イニシャルプログラムが記憶されていると解することもできる。

25 産業上の利用可能性

以上のように、本発明に係るディスクドライブ装置はC D - R O Mド

ライプ装置はもとより、その他の記録情報再生装置や情報記録再生装置などに広く適用することができる。また、ディスクドライブ装置を搭載したコンピュータ装置はパーソナルコンピュータだけでなく、ワークステーション、オフコンなどその名称に拘わらず種々のコンピュータ装置に適用することができる。

請求の範囲

1. 回転駆動されるディスクをアクセスするアクセス手段と、前記アクセス手段に接続され外部とインターフェースされるインターフェース回路と、前記アクセス手段の動作を制御すると共に前記インターフェース回路に結合されたマイクロコンピュータとを含み、
前記マイクロコンピュータは、電気的に書き換え可能な不揮発性メモリと、この不揮発性メモリをアクセスする中央処理装置とを1個の半導体基板に含み、
前記不揮発性メモリはその記憶領域に、リブートプログラム領域とアプリケーションプログラム領域とを有し、
前記アプリケーションプログラム領域は、前記アクセス手段と前記インターフェース回路とを制御するために前記中央処理装置によって実行されるアプリケーションプログラムの格納領域を有し、
前記リブートプログラム領域は、前記中央処理装置に、前記アプリケーションプログラム領域を書き換えるための処理を実行させるリブートプログラムが格納される領域を有し、
前記中央処理装置は、外部から前記インターフェース回路に供給されるアプリケーションプログラム領域の書き換えコマンドに応答して前記リブートプログラムを実行しアプリケーションプログラム領域の全部又は一部の書き換えを行い、外部から前記インターフェース回路に供給されるディスクアクセスコマンドに応答して前記アプリケーションプログラム領域中の前記アプリケーションプログラムを実行し前記アクセス手段及びインターフェース回路を制御するものであることを特徴とするディスクドライブ装置。
2. 前記リブートプログラムは、入力制御プログラム、書き換え制御

プログラム及び転送制御プログラムを含み、

前記書き換えコマンドに応答する前記中央処理装置は、前記入力制御プログラムを実行することにより外部から前記インターフェース回路に供給される全部又は一部の前記アプリケーションプログラムを取り込み、前記転送制御プログラムを実行することにより前記書き換え制御プログラムを前記リブートプログラム格納領域から前記マイクロコンピュータの内蔵RAMに転送し、前記内蔵RAMに転送された書き換え制御プログラムを実行することにより前記取り込まれた全部又は一部のアプリケーションプログラムを前記アプリケーションプログラム領域に書き込み制御するものであることを特徴とする請求の範囲第1項記載のディスクドライブ装置。

3. 前記リブートプログラムは、入力制御プログラム及び転送制御プログラムを含み、

前記書き換えコマンドに応答する前記中央処理装置は、前記入力制御プログラムを実行することにより外部から前記インターフェース回路に供給される全部又は一部の前記アプリケーションプログラム及び書き換え制御プログラムを取り込み、前記転送制御プログラムを実行することにより前記取り込まれた書き換え制御プログラムをマイクロコンピュータの内蔵RAMに転送し、前記内蔵RAMに転送された書き換え制御プログラムを実行することにより、前記取り込まれた全部又は一部のアプリケーションプログラムを前記アプリケーションプログラム領域に書き込み制御するものであることを特徴とする請求の範囲第1項記載のディスクドライブ装置。

4. 前記リブートプログラム領域は、ベクタテーブルとリセット処理プログラムの格納領域とを更に有し、

前記中央処理装置は、リセットの指示に応答して前記ベクタテーブ

ルを参照することにより前記リセット処理プログラムの実行に移行し、リセット処理プログラムの実行途上では前記書き換えコマンドに応答し得る強制リブート状態か否かを判定し、強制リブート状態のときは、前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、強制リブート状態でないときは前記アプリケーションプログラム領域のアプリケーションプログラムを実行可能な状態に遷移するものであることを特徴とする請求の範囲第2項又は第3項記載のディスクドライブ装置。

5. 前記アプリケーションプログラム領域は、その一部の記憶領域に、
10 その他の記憶領域が保有する情報のサム値を格納するサム値格納領域を更に有し、

前記リブートプログラム領域は、ベクタテーブルとリセット処理プログラムの格納領域とを更に有し、

前記中央処理装置は、リセットの指示に応答して前記ベクタテーブルを参照することにより前記リセット処理プログラムの実行に移行し、リセット処理プログラムの実行途上では前記書き換えコマンドに応答し得る強制リブート状態か否かを判定し、強制リブート状態のときは、前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、強制リブート状態でないときは、前記サム値格納領域に格納されているサム値が、前記その他の記憶領域が保有する情報のサム値に一致するかを判定し、判定結果が不一致の場合には前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、前記判定結果が一致の場合には前記アプリケーションプログラム領域のアプリケーションプログラムを実行可能な状態に遷移するものであることを特徴とする請求の範囲第2項又は第3項記載のディスクドライブ装置。

6. 前記不揮発性メモリは、一括消去単位とされる複数個のメモリロックを有するフラッシュメモリであり、前記リブートプログラム領域と前記アプリケーションプログラム領域とは相互に異なるメモリロックに割り当てられて成るものであることを特徴とする請求の範囲第1項記載のディスクドライブ装置。
5
7. 前記リブートプログラム領域は、前記マイクロコンピュータの製造工程で書き込まれたプログラムを保有するものであることを特徴とする請求の範囲第1項記載のディスクドライブ装置。
8. 前記リブートプログラム領域の書き換えを禁止する手段を更に備えて成ることを特徴とする請求の範囲第1項記載のディスクドライブ装置。
10
9. 前記インターフェース回路は、A T A P I インタフェース仕様を有するものであることを特徴とする請求の範囲第1項記載のディスクドライブ装置。
10. バスに接続されたマイクロプロセッサと周辺インターフェースコントローラとを含むメインボードと、請求の範囲第1項記載のディスクドライブ装置とを含み、前記ディスクドライブ装置はそれに含まれる前記インターフェース回路を介して前記周辺インターフェースコントローラに接続されて成ることを特徴とするコンピュータ装置。
15
11. P C I バスに接続されたマイクロプロセッサと I D E インタフェースコントローラとを含むメインボードと、請求の範囲第9項記載のディスクドライブ装置とを含み、前記ディスクドライブ装置はそれに含まれる前記インターフェース回路を介して前記 I D E インタフェースコントローラに接続されて成ることを特徴とするコンピュータ装置。
20
- 25

12. 前記メインボードと前記ディスクドライブ装置は一つの筐体に組み込まれて成るものであることを特徴とする請求の範囲第11項記載のコンピュータ装置。

13. バスに接続されたマイクロプロセッサと周辺インターフェースコントローラとを含むメインボードと、前記周辺インターフェースコントローラに接続されたディスクドライブ装置とを一つの筐体に内蔵して成るコンピュータ装置であって、

前記ディスクドライブ装置は、回転駆動されるディスクから記録情報を読み取って再生する再生手段と、前記再生手段で再生された情報を前記周辺インターフェースコントローラに出力すると共に、前記周辺インターフェースコントローラを介して供給される情報を受け取るインターフェース回路と、前記再生手段と前記インターフェース回路とに接続されたマイクロコンピュータとを含み、

前記マイクロコンピュータは、中央処理装置と、電気的に消去及び書き込み可能な不揮発性メモリとを1個の半導体基板に含み、

前記不揮発性メモリはその記憶領域に、リブートプログラム領域とアプリケーションプログラム領域とを有し、

前記アプリケーションプログラム領域は、前記再生手段と前記インターフェース回路とを制御するために前記中央処理装置によって実行されるアプリケーションプログラムの格納領域を有し、

前記リブートプログラム領域は、前記中央処理装置に前記アプリケーションプログラム領域を書き換えるための処理を実行させるリブートプログラムが格納される領域を有し、

前記中央処理装置は、前記周辺インターフェースコントローラを介し前記インターフェース回路に供給されるアプリケーションプログラム領域の書き換えコマンドに応答して前記リブートプログラムを実行

しアプリケーションプログラム領域の全部又は一部の書き換えを行い、前記周辺インタフェースコントローラを介し前記インタフェース回路に供給されるディスクアクセスコマンドに応答して前記アプリケーションプログラムを実行し前記再生手段及びインタフェース回路を制御するものであることを特徴とするコンピュータ装置。
5

1.4. バスに接続されたマイクロプロセッサとIDEインターフェースコントローラとを含むPCボードと、前記IDEインターフェースコントローラに接続されたディスクドライブ装置とを一つの筐体に内蔵して成るコンピュータ装置であって、

10 前記ディスクドライブ装置は、回転駆動されるディスクをアクセスするアクセス手段と、前記アクセス手段に結合され前記IDEインターフェースコントローラに接続されるATAPIインターフェース回路と、前記アクセス手段の動作を制御すると共に前記ATAPIインターフェース回路に接続されるマイクロコンピュータとを含み、

15 前記マイクロコンピュータは、電気的に書き換え可能な不揮発性メモリと、この不揮発性メモリに格納されているプログラムを実行する中央処理装置とを1個の半導体基板に含み、

前記不揮発性メモリはその記憶領域にリブートプログラム領域とアプリケーションプログラム領域とを有し、

20 前記アプリケーションプログラム領域は前記アクセス手段及びATAPIインターフェース回路を制御するために前記中央処理装置によって実行されるアプリケーションプログラムの格納領域を有し、

前記リブートプログラム領域は、ペクタテーブル、リセット処理プログラム及び前記中央処理装置に前記アプリケーションプログラム領域の全部又は一部を書き換えるための処理を実行させるリブートプログラムが夫々格納される領域を有し、
25

前記中央処理装置は、リセットの指示に応答して前記ベクタテーブルを参照することにより前記リセット処理プログラムの実行に移行し、リセット処理プログラムの実行途上では前記IDEインターフェースコントローラを介し前記ATAPIインターフェース回路に供給されるアプリケーションプログラム領域の書き換えコマンドに応答し得る強制リブート状態か否かを判定し、強制リブート状態のときは、前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、強制リブート状態でない時は前記アプリケーションプログラム領域のアプリケーションプログラムを実行可能な状態に遷移するものであることを特徴とするコンピュータ装置。

15. バスに接続されたマイクロプロセッサとIDEインターフェースコントローラとを含むPCボードと、前記IDEインターフェースコントローラに接続されたディスクドライブ装置とを一つの筐体に内蔵して成るコンピュータ装置であって、

15 前記ディスクドライブ装置は、回転駆動されるディスクをアクセスするアクセス手段と、前記アクセス手段に結合され前記IDEインターフェースコントローラに接続されるATAPIインターフェース回路と、前記アクセス手段の動作を制御すると共に前記ATAPIインターフェース回路に接続されるマイクロコンピュータとを含み、

20 前記マイクロコンピュータは、電気的に書き換え可能な不揮発性メモリと、この不揮発性メモリに格納されているプログラムを実行する中央処理装置とを1個の半導体基板に含み、

前記不揮発性メモリはその記憶領域にリブートプログラム領域とアプリケーションプログラム領域とを有し、

25 前記アプリケーションプログラム領域は前記アクセス手段及びATAPIインターフェース回路を制御するために前記中央処理装置に

よって実行されるアプリケーションプログラムの格納領域を有し、前記アプリケーションプログラム領域はその一部の記憶領域に、他の記憶領域が保有する情報のサム値を格納するサム値格納領域を有し、

5 前記リブートプログラム領域は、ベクタテーブル、リセット処理プログラム及び前記中央処理装置に前記アプリケーションプログラム領域の全部又は一部を書き換えるための処理を実行させるリブートプログラムが夫々格納される領域を有し、

10 前記中央処理装置は、リセットの指示に応答して前記ベクタテーブルを参照することにより前記リセット処理プログラムの実行に移行し、リセット処理プログラムの実行途上では前記I D E インタフェースコントローラを介し前記A T A P I インタフェース回路に供給されるアプリケーションプログラム領域の書き換えコマンドに応答し得る強制リブート状態か否かを判定し、強制リブート状態のときは、
15 前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、強制リブート状態でないとき、前記サム値格納領域に格納されているサム値が、前記その他の記憶領域が保有する情報のサム値に一致するかを判定し、この判定結果が不一致の場合には前記書き換えコマンドの入力を待って前記リブートプログラムの実行に遷移し、前記判定結果が一致の場合には前記アプリケーションプログラム領域のプログラムを実行可能な状態に遷移するものであることを特徴とするコンピュータ装置。

20 16. 回転駆動されるディスクから記録情報を読み取って再生する再生手段と、前記再生手段に接続されホスト装置とインターフェースされるインターフェース回路と、前記再生手段の動作を制御すると共に前記インターフェース回路に接続されたマイクロコンピュータとを含み、
25

前記マイクロコンピュータは、中央処理装置と、電気的に消去及び書き込み可能な不揮発性メモリとを含み、

前記不揮発性メモリは前記再生手段による再生動作と前記インターフェース回路の動作とを制御するためのプログラムが格納されるアプリケーションプログラム領域と、記憶情報の書き換えが禁止されたリブートプログラム領域とを有し、

前記中央処理装置は、リセットの指示に応答して前記リブートプログラム領域のプログラムを実行することにより、前記ホスト装置から指示されるアプリケーションプログラム領域の書き換えコマンドに応答し得る強制リブート状態か否かを判定し、強制リブート状態のときは、前記書き換えコマンドの入力を待って、前記アプリケーションプログラム領域の全部又は一部を、当該書き換えコマンドの後に続いてインターフェース回路に供給されるプログラムに書き換え制御し、強制リブート状態でないときは前記アプリケーションプログラム領域のプログラムを実行可能な状態に遷移するものであることを特徴とするディスクドライブ装置。

17. 回転駆動されるディスクから記録情報を読み取って再生する再生手段と、前記再生手段に接続されホスト装置とインターフェースされるインターフェース回路と、前記再生手段の動作を制御すると共に前記インターフェース回路に接続されたマイクロコンピュータとを含み、

前記マイクロコンピュータは、中央処理装置と、電気的に消去及び書き込み可能な不揮発性メモリとを含み、

前記不揮発性メモリは前記再生手段による再生動作と前記インターフェース回路の動作とを制御するためのプログラムが格納されるアプリケーションプログラム領域と、記憶情報の書き換えが禁止されたリブートプログラム領域とを有し、前記アプリケーションプログラム

領域は、その一部の記憶領域に、その他の記憶領域が保有する情報のサム値を格納するサム値格納領域を有し、

前記中央処理装置は、リセットの指示に応答して前記リブートプログラム領域のプログラムを実行することにより、前記ホスト装置から指示されるアプリケーションプログラム領域の書き換えコマンドに応答し得る強制リブート状態か否かを判定し、強制リブート状態のときは、前記書き換えコマンドの入力を待って、前記アプリケーションプログラム領域の全部又は一部を、当該書き換えコマンドの後に続いてインターフェース回路に供給されるプログラムに書き換え制御し、強制リブート状態でないときは、前記サム値格納領域に格納されているサム値が、前記その他の記憶領域が保有する情報のサム値に一致するかを判定し、判定結果が不一致の場合には前記書き換えコマンドの入力を待って前記アプリケーションプログラム領域の全部又は一部を、当該書き換えコマンドの後に続いて供給されるプログラムに書き換えを制御し、前記判定結果が一致の場合には前記アプリケーションプログラム領域のプログラムを実行可能な状態に遷移するものであることを特徴とするディスクドライブ装置。

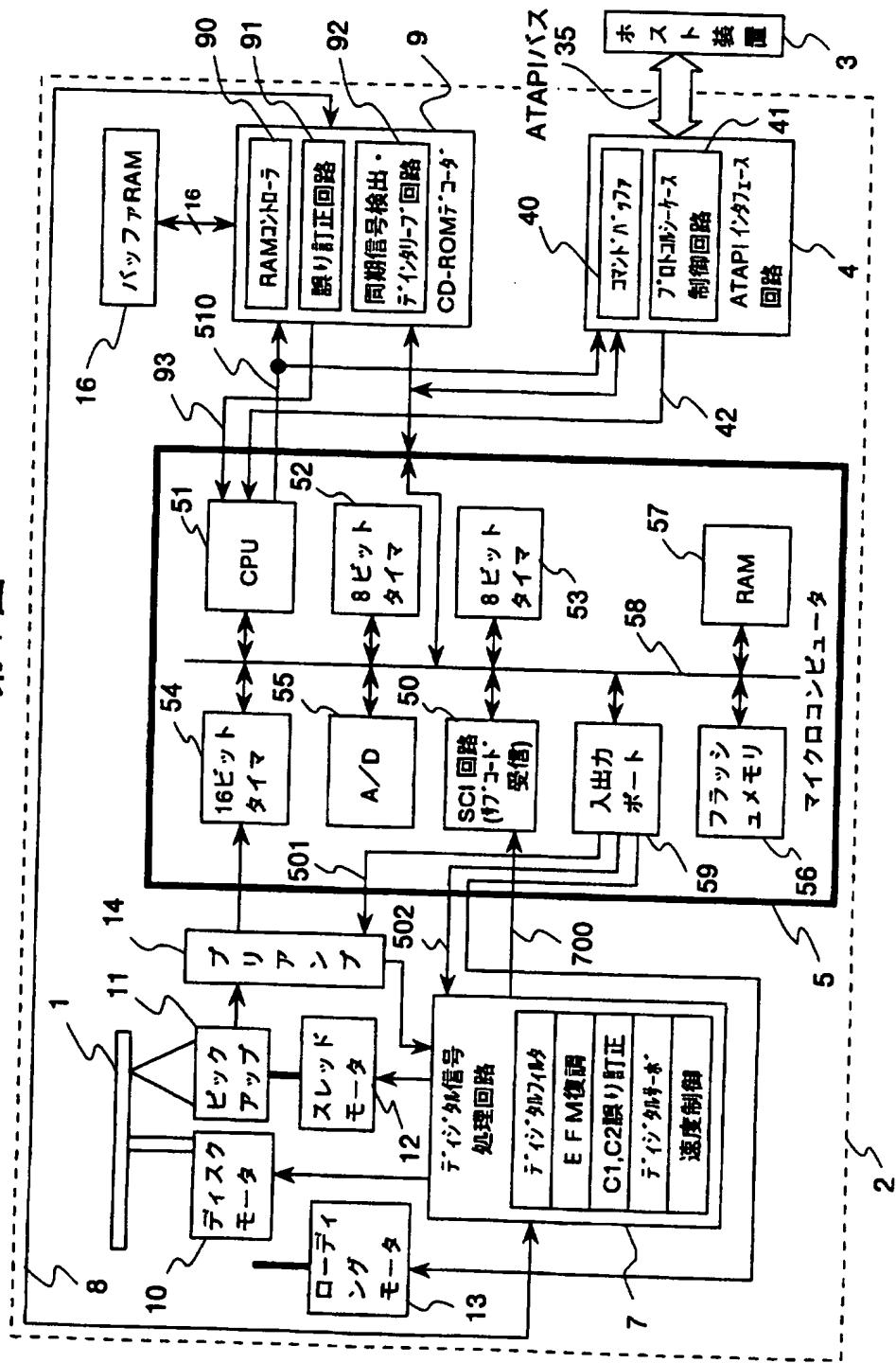
1 8 . 前記不揮発性メモリは、一括消去単位とされる複数個のメモリブロックを有するフラッシュメモリであり、前記リブートプログラム領域と前記アプリケーションプログラム領域とは相互に異なるメモリブロックに割り当てられて成るものであることを特徴とする請求の範囲第16項又は第17項記載のディスクドライブ装置。

1 9 . 前記リブートプログラム領域は、前記マイクロコンピュータの製造工程で書き込まれたプログラムを保有するものであることを特徴とする請求の範囲第18項記載のディスクドライブ装置。

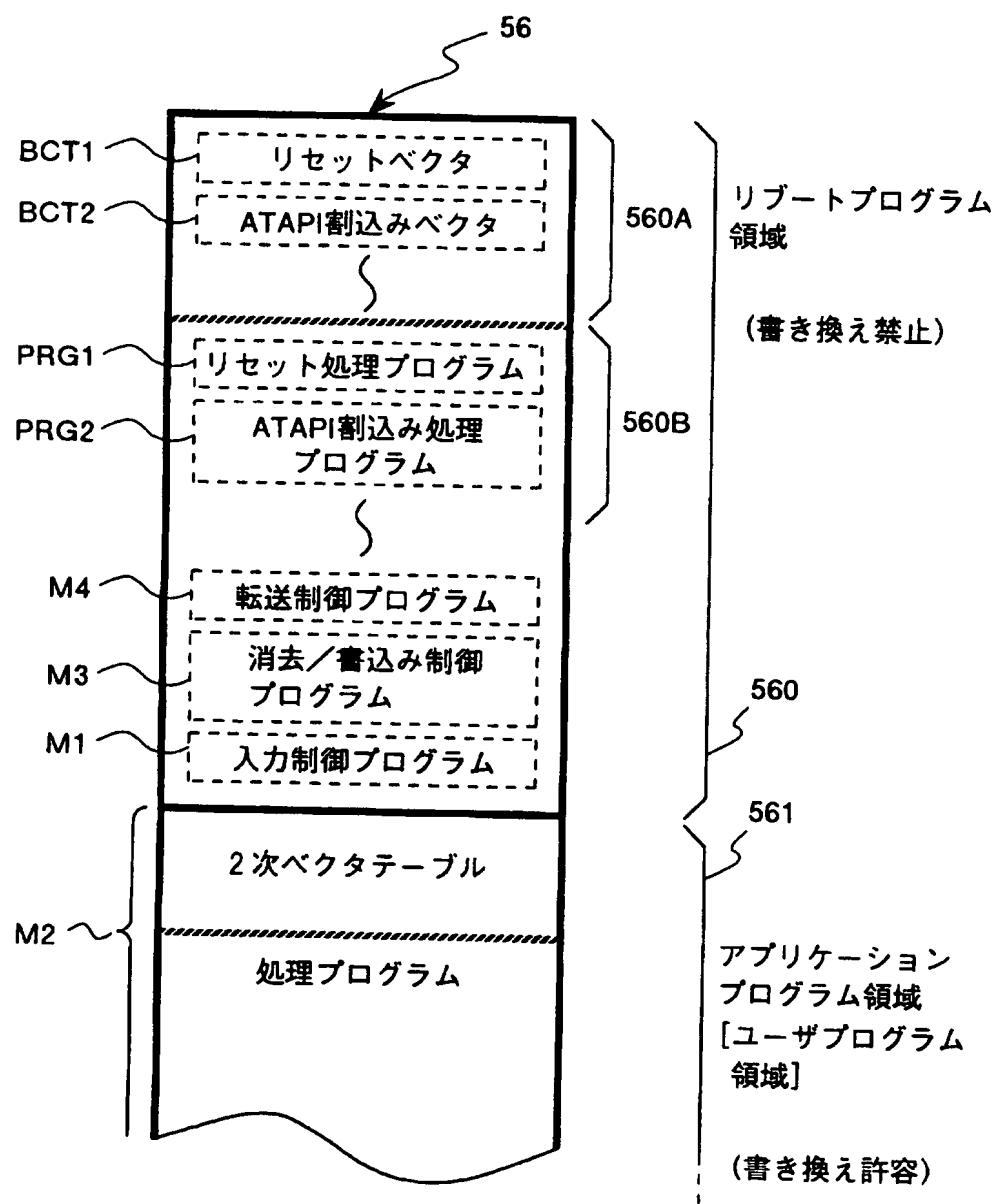
2 0 . バスに接続されたマイクロプロセッサと周辺インターフェースコン

トローラとを含むメインボードと、請求の範囲第 16 項又は第 17 項に記載のディスクドライブ装置とを一つの筐体に含み、前記ディスクドライブ装置はそれに含まれる前記インターフェース回路を介して前記周辺インターフェースコントローラに接続されて成るものであることを特徴とするコンピュータ装置。

第1図

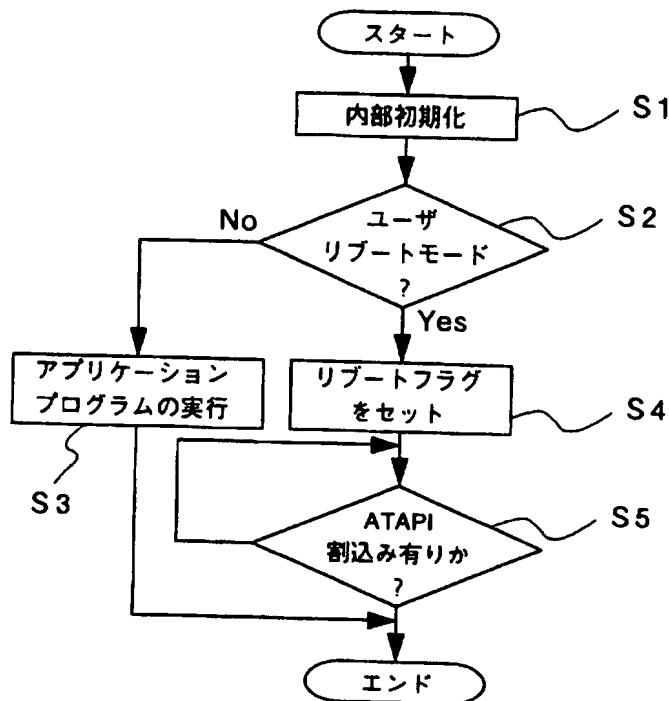


第2図

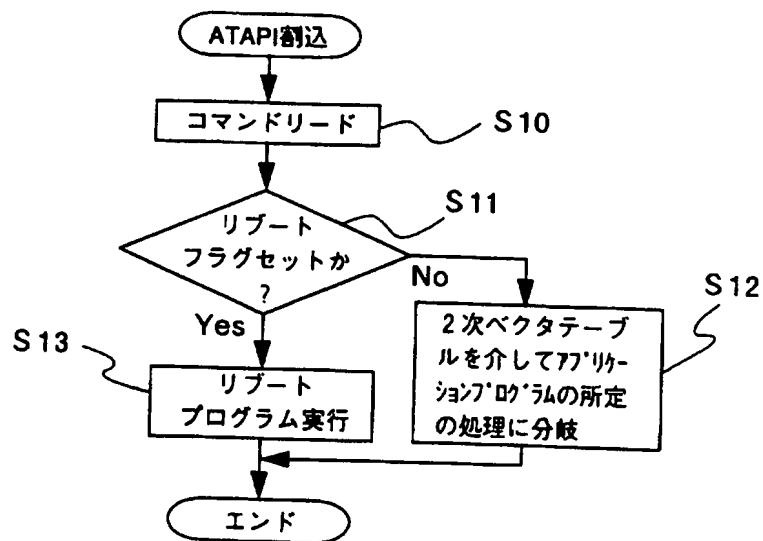


3 / 28

第3図

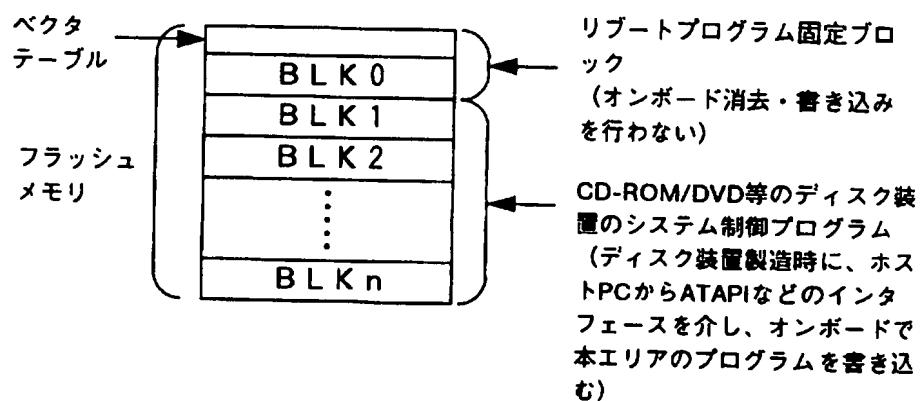


第4図



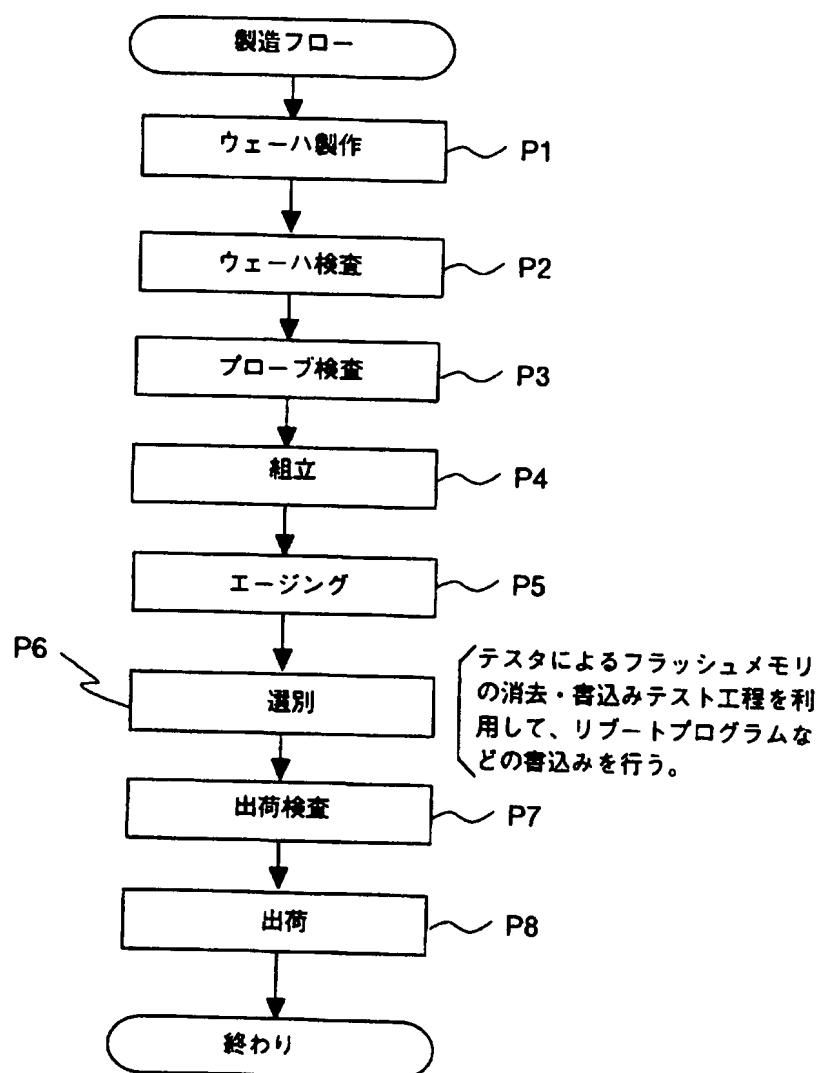
4 / 28

第5図

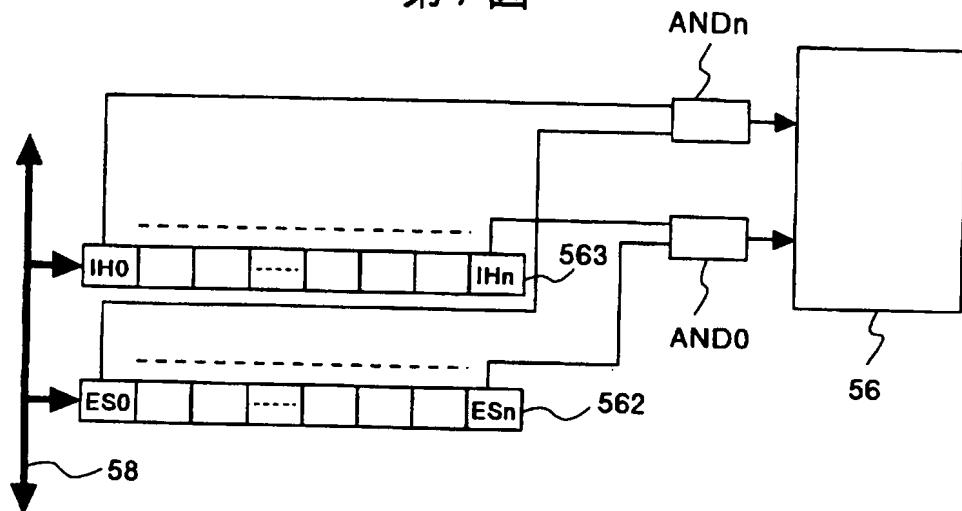


第6図

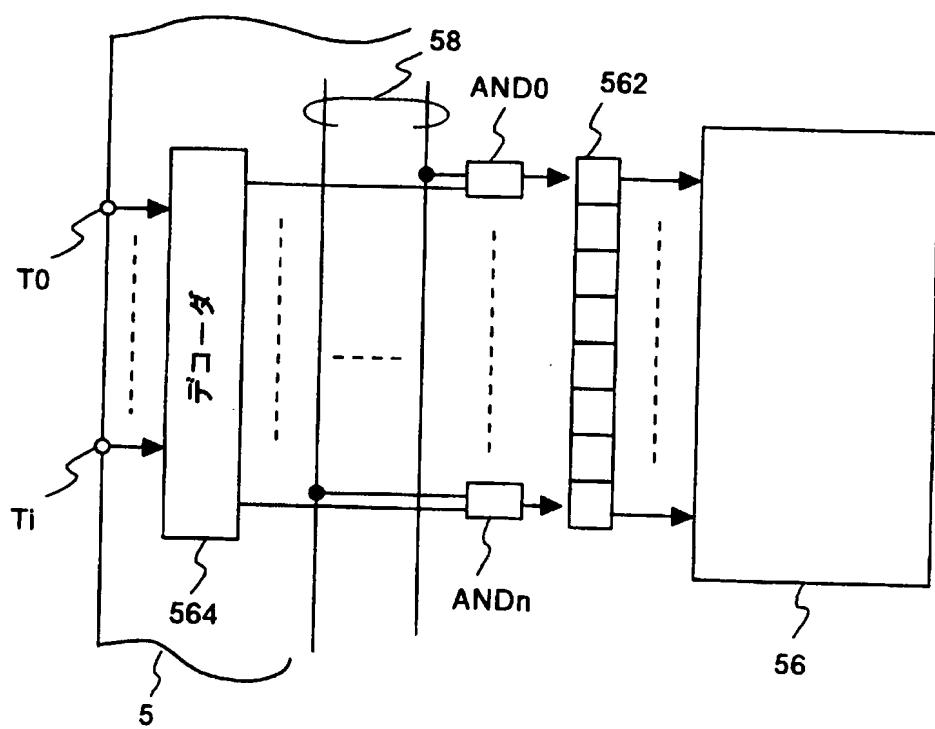
フラッシュメモリ内蔵マイクロコンピュータの製造工程



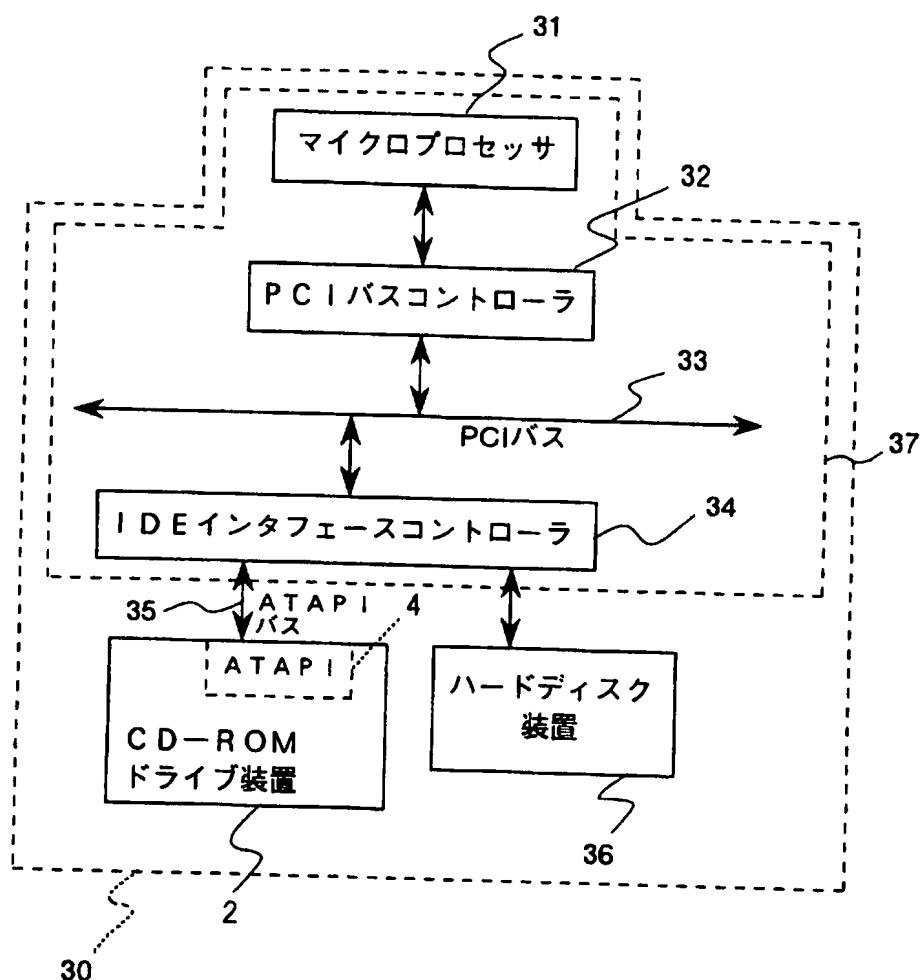
第7図



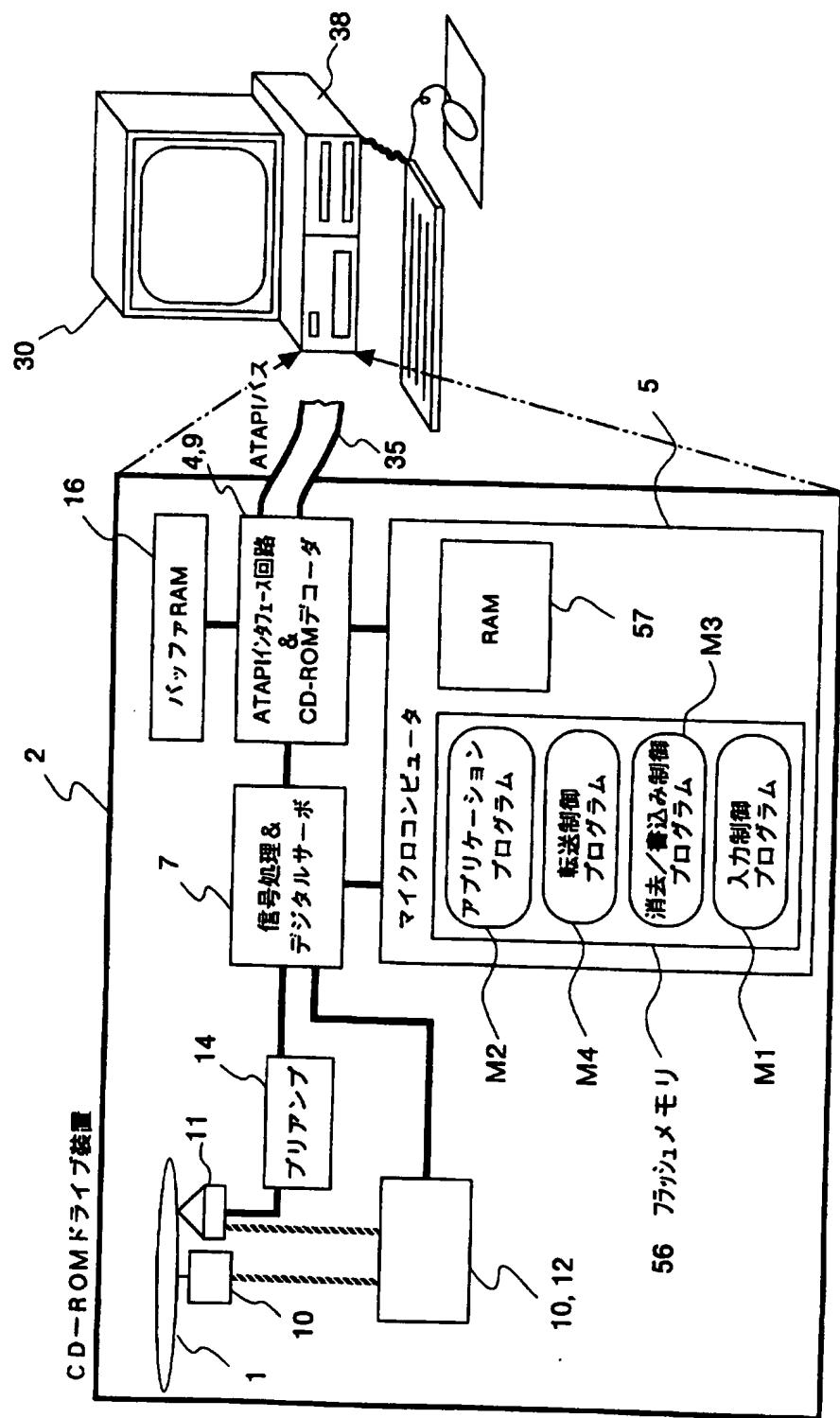
第8図



第9図

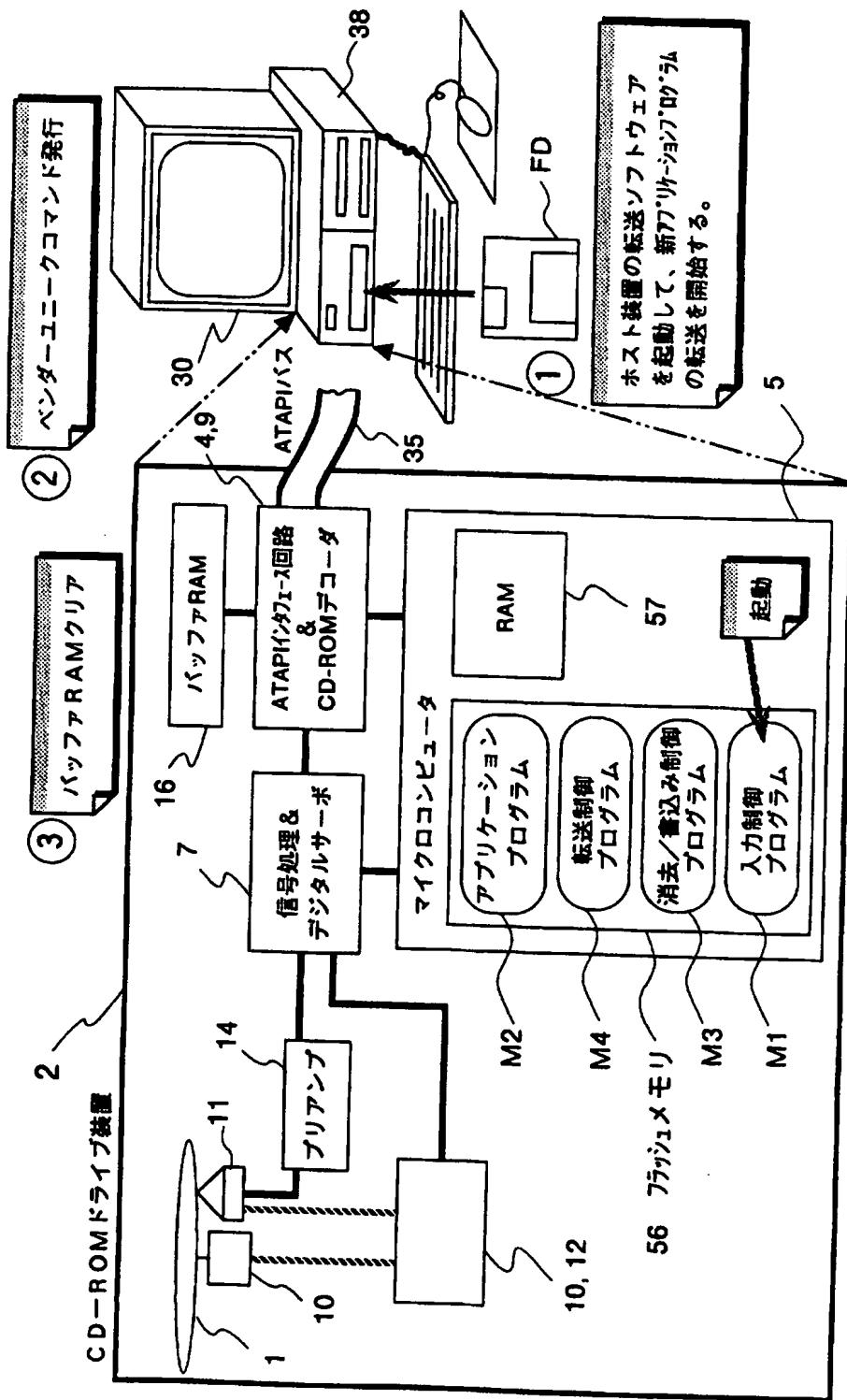


第10図

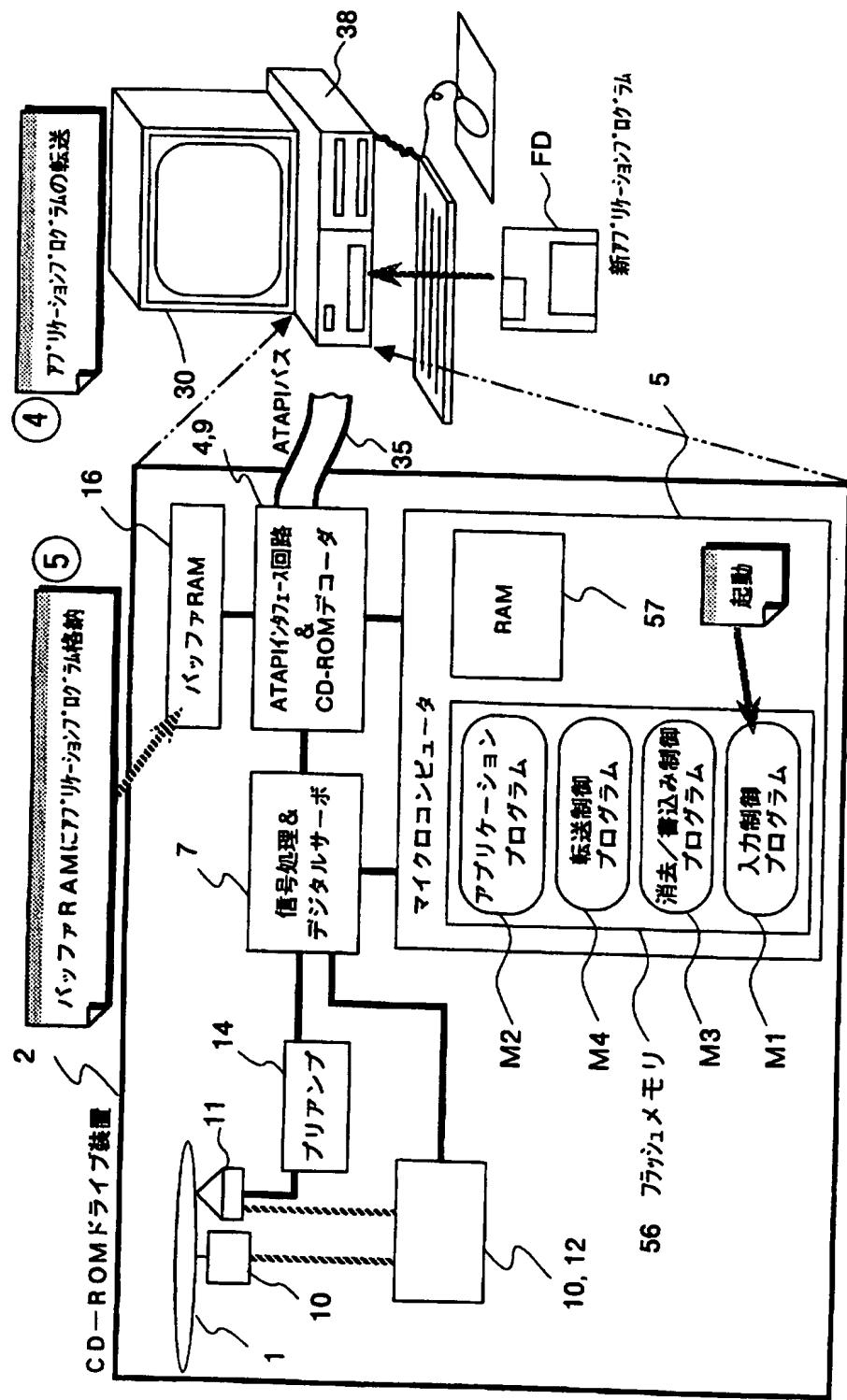


9 / 28

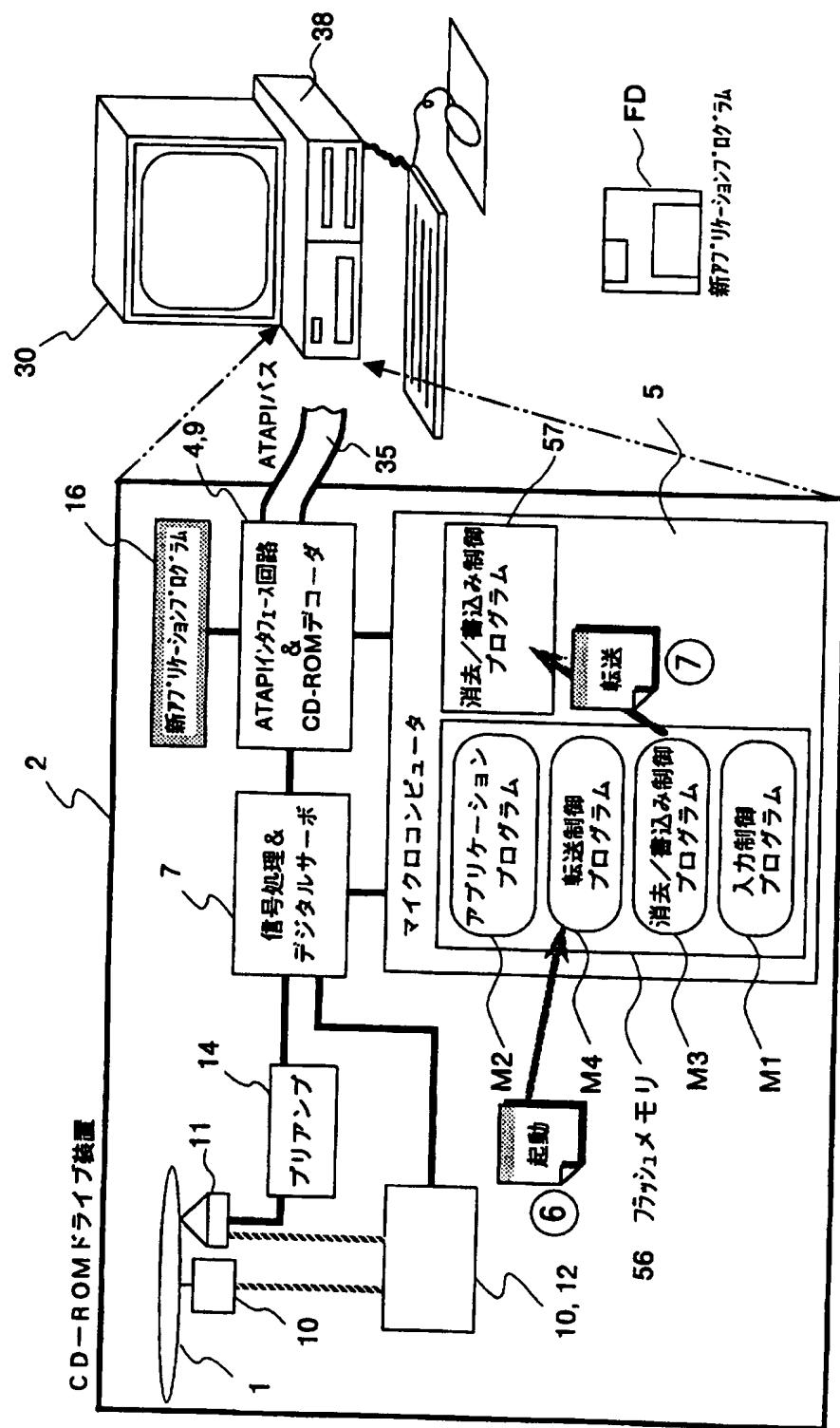
第11図



第12図

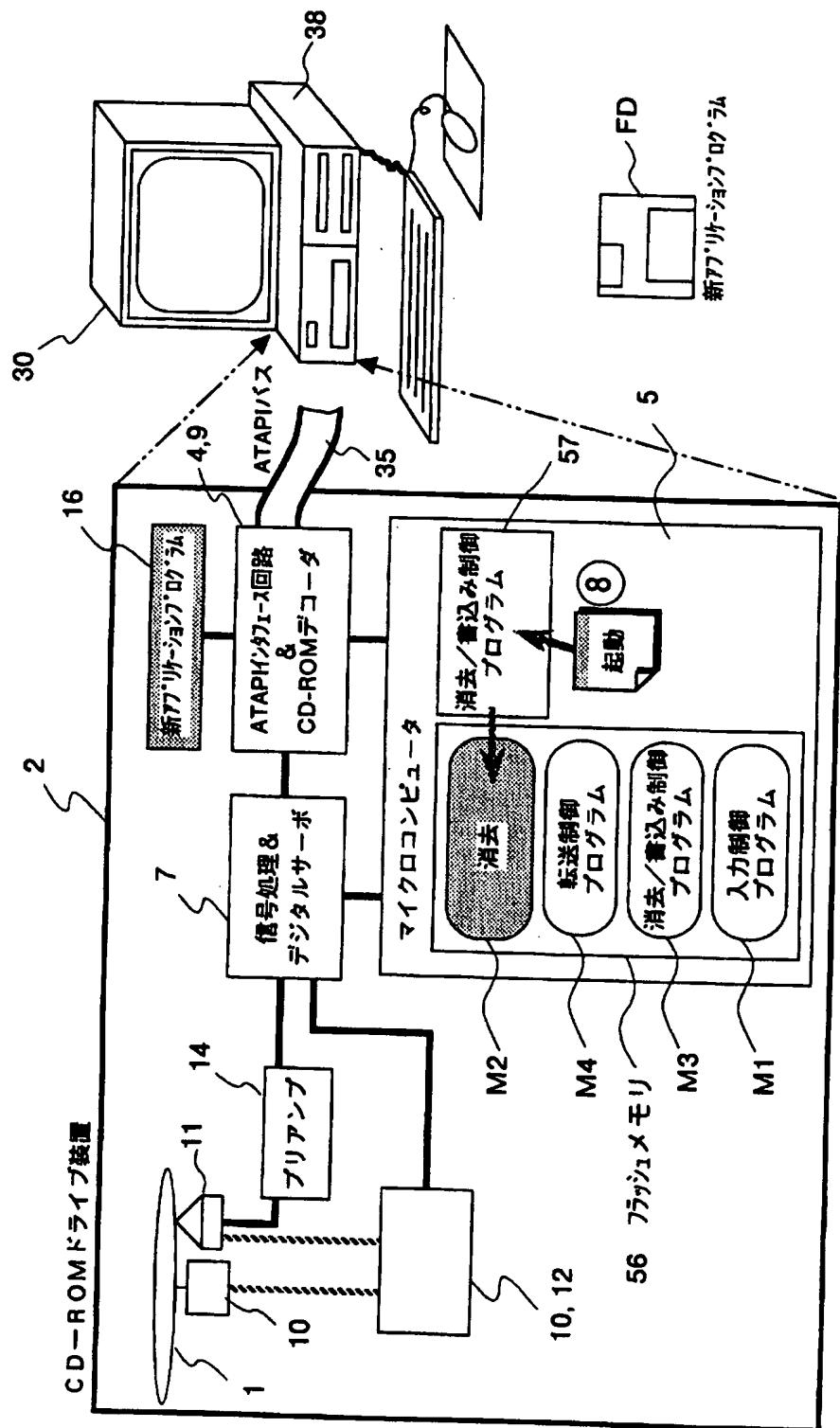


四三一

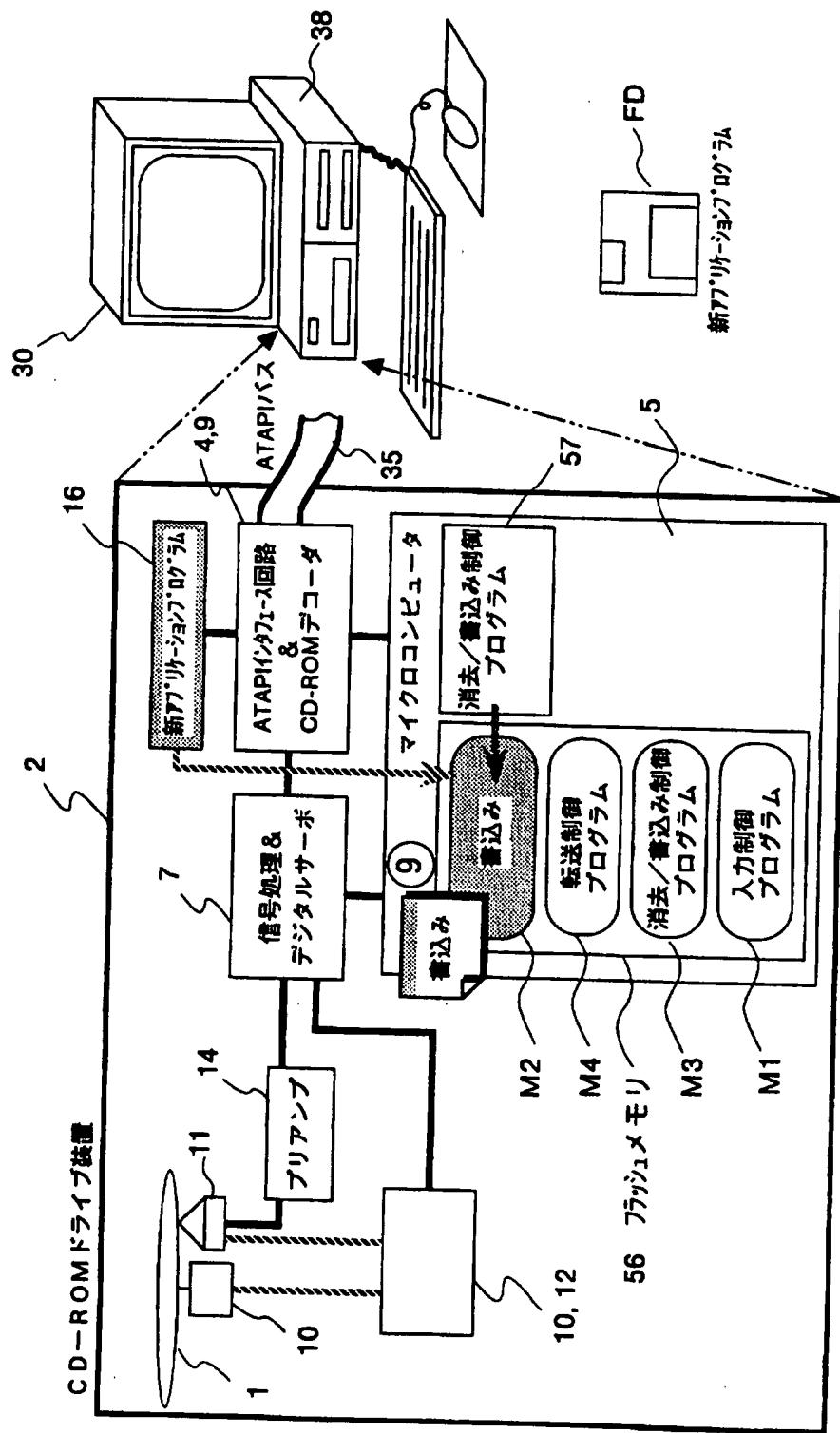


12 / 28

第14図



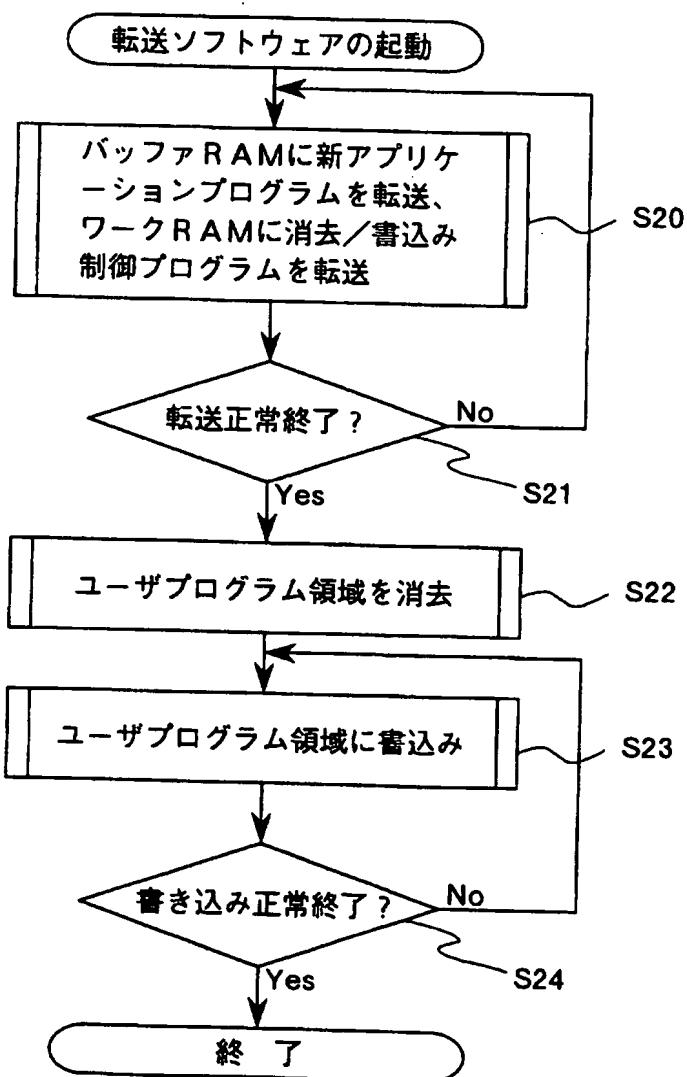
第15図



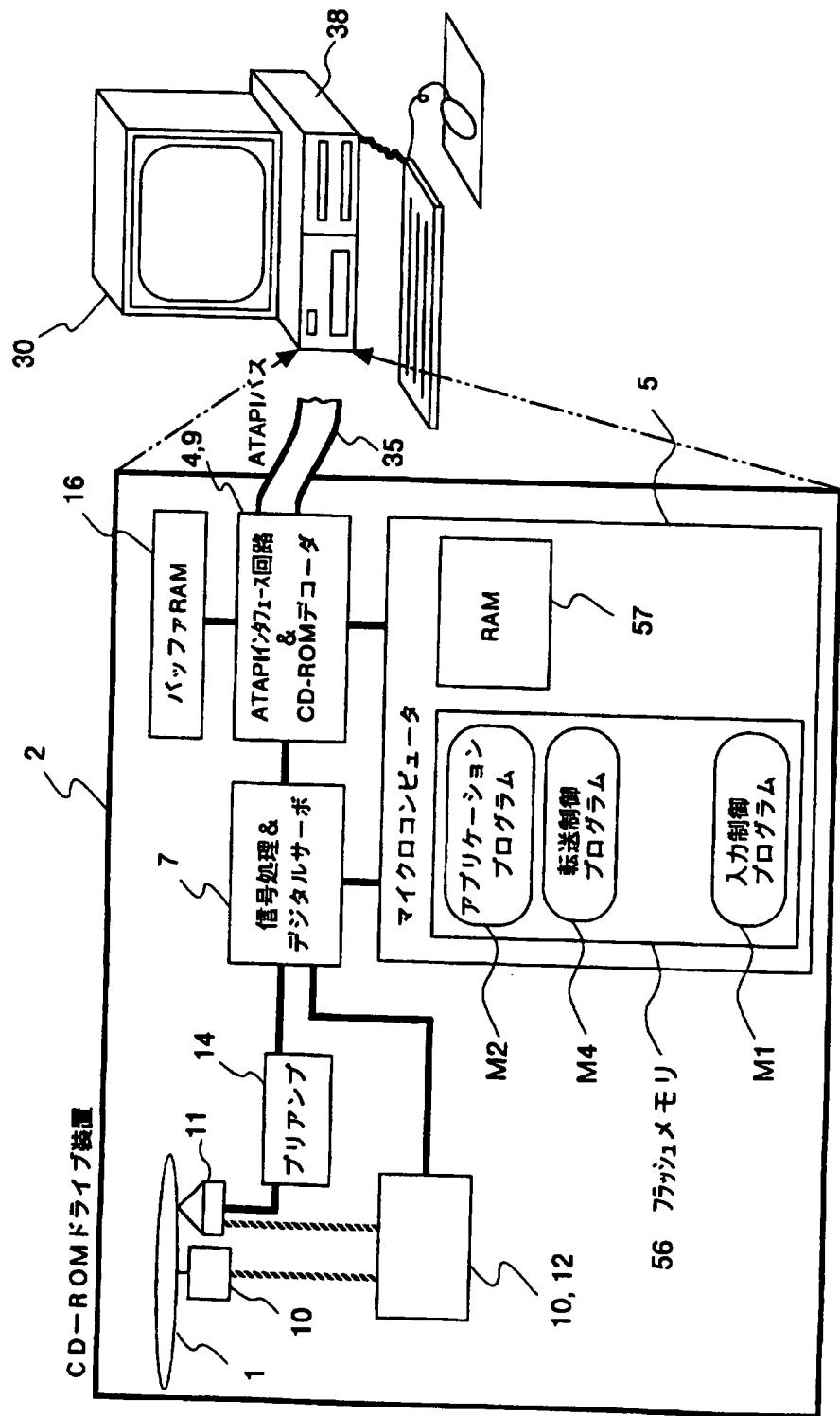
14 / 28

第16図

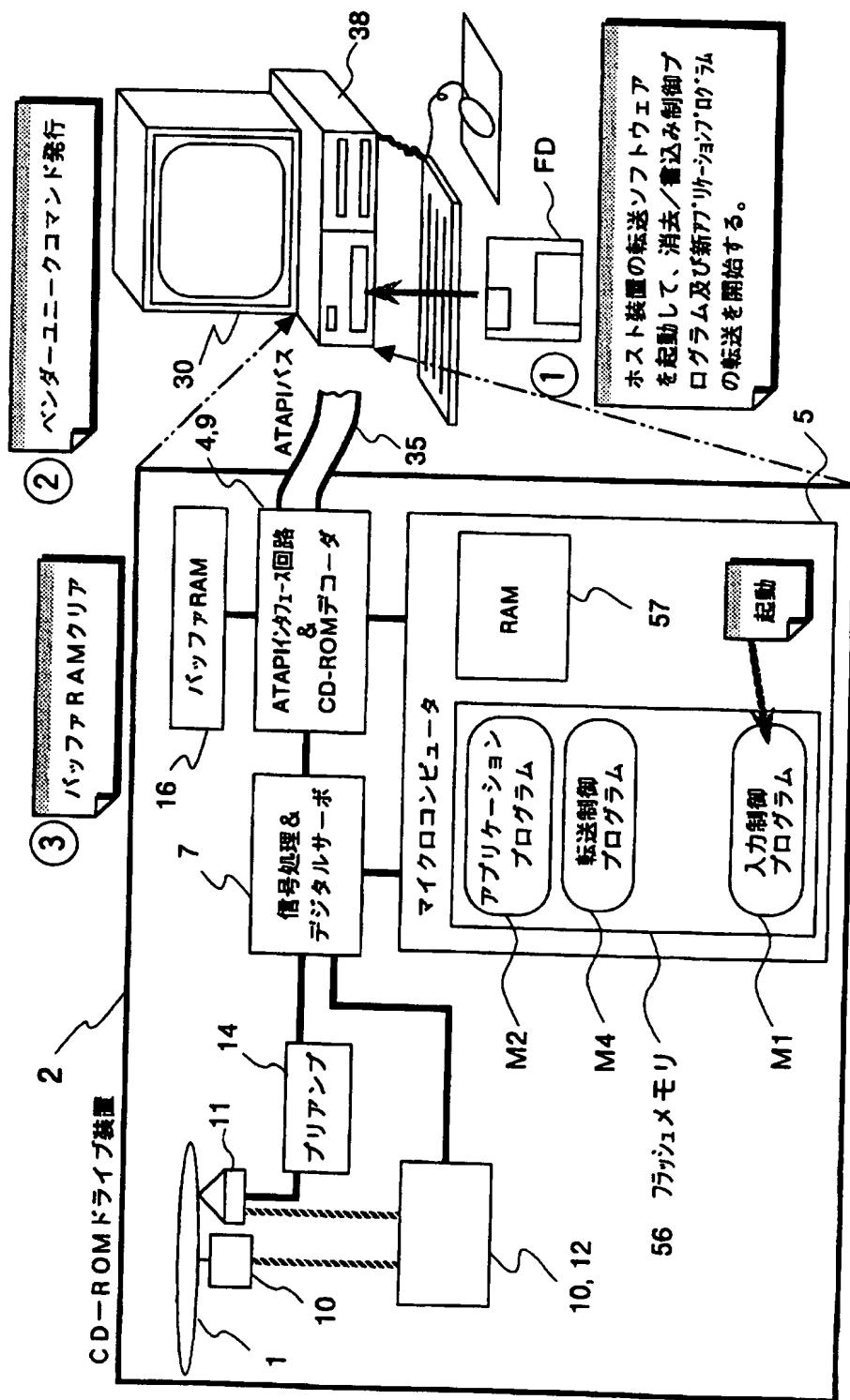
ユーザプログラム領域の書き換えフローチャート



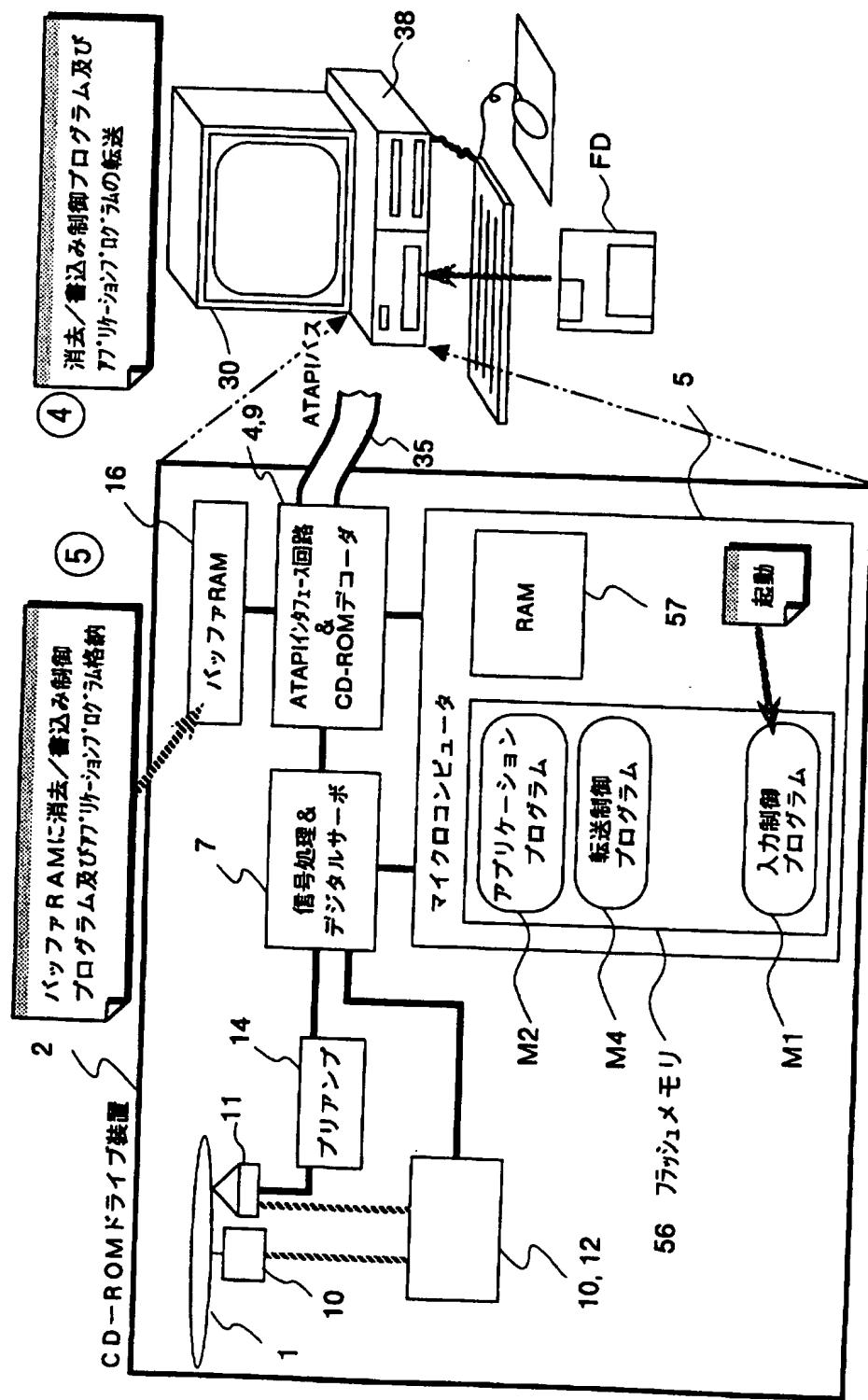
第17図



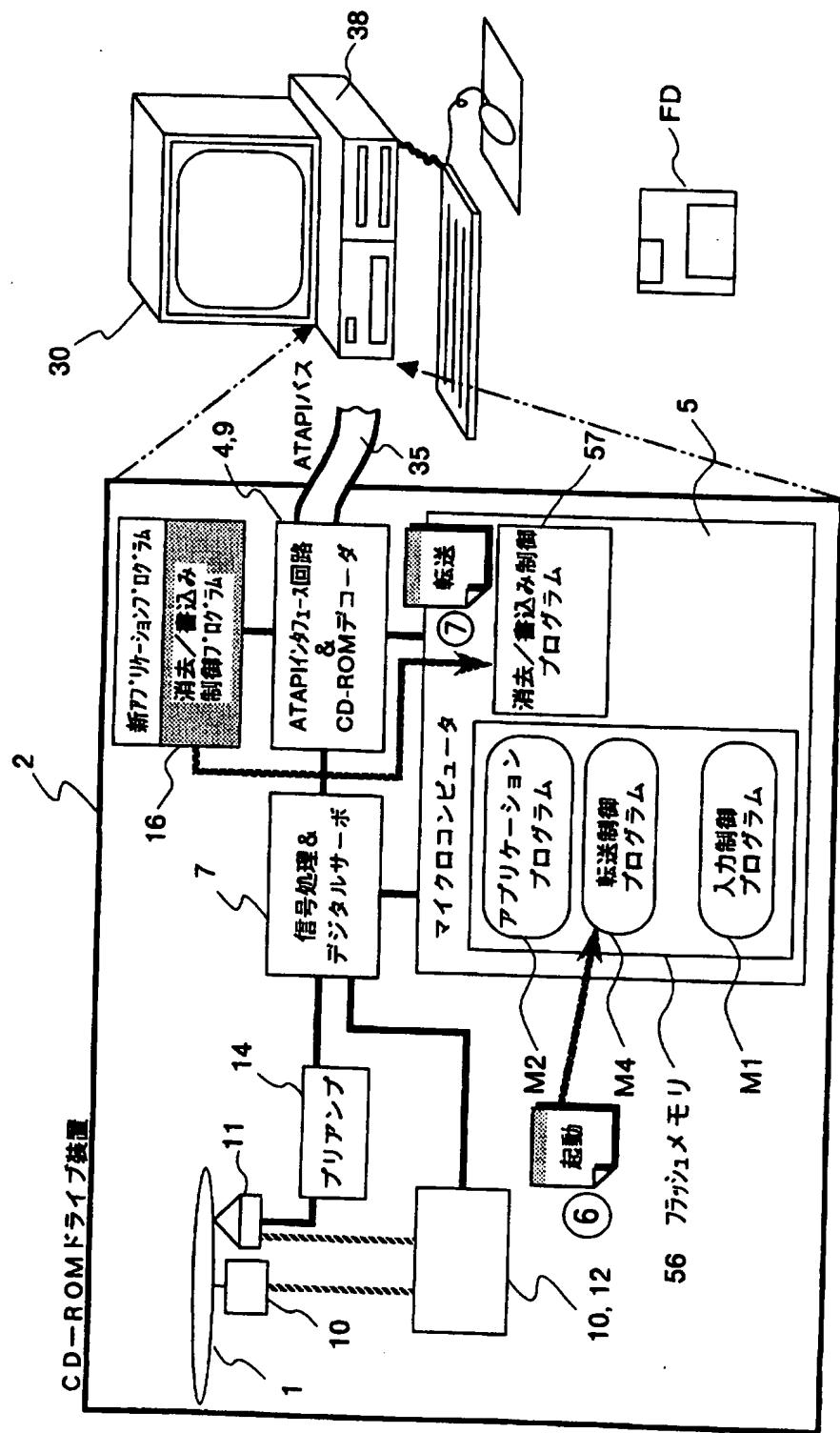
第18図



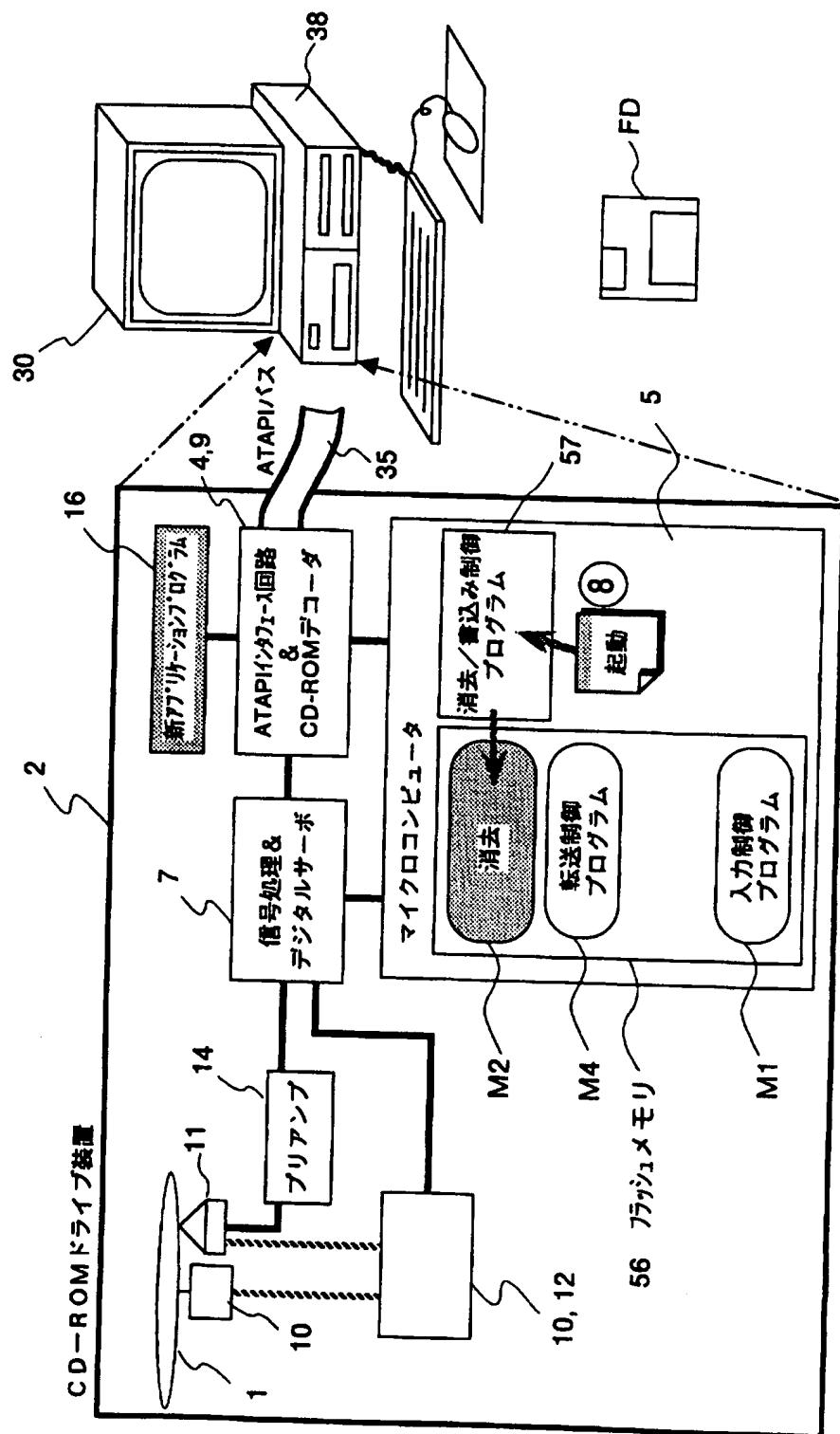
第19図



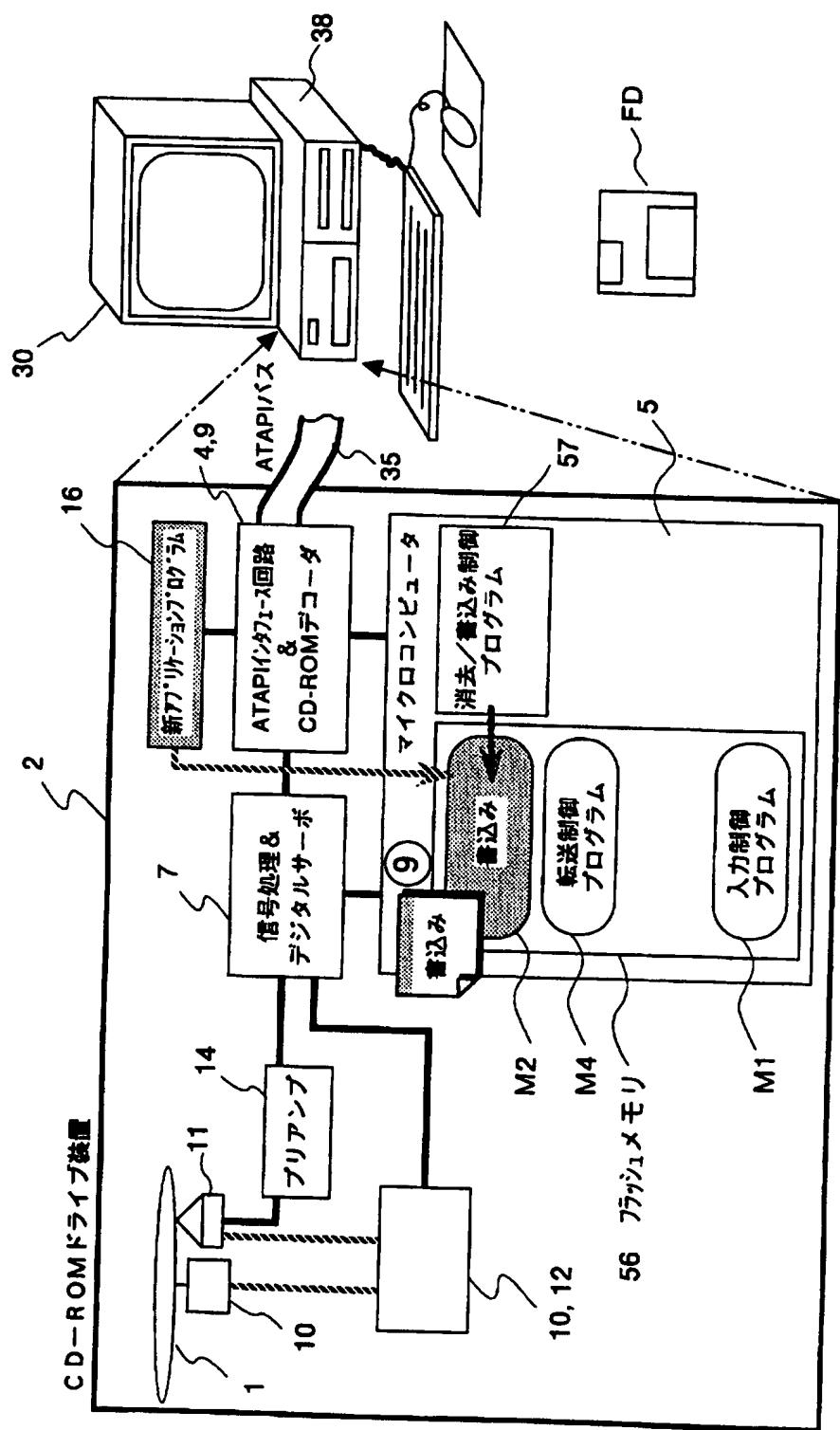
第20図



第21回

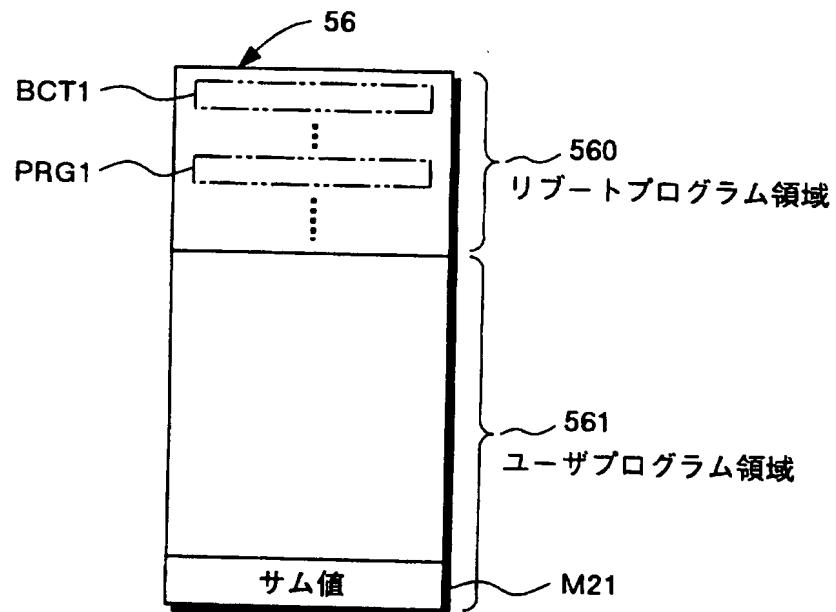


第22図

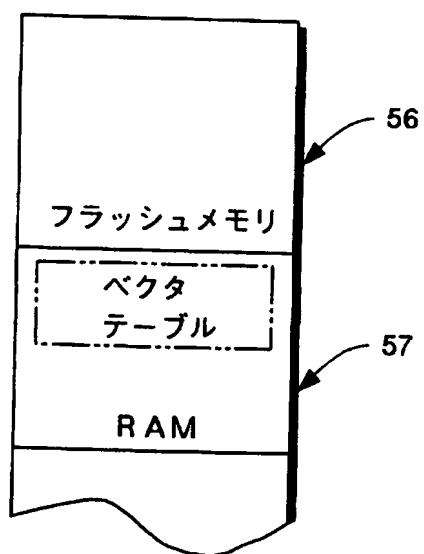


21 / 28

第23図

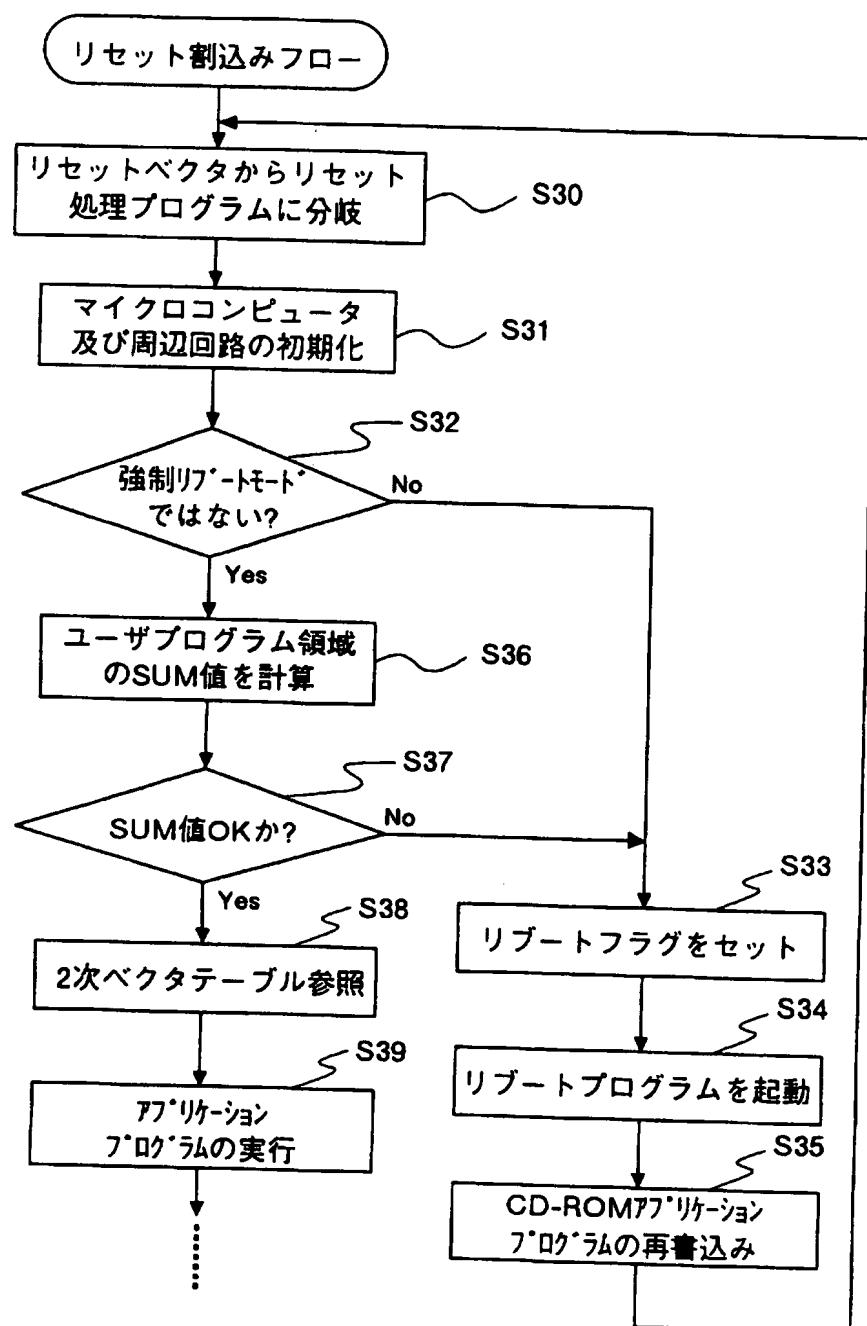


第25図

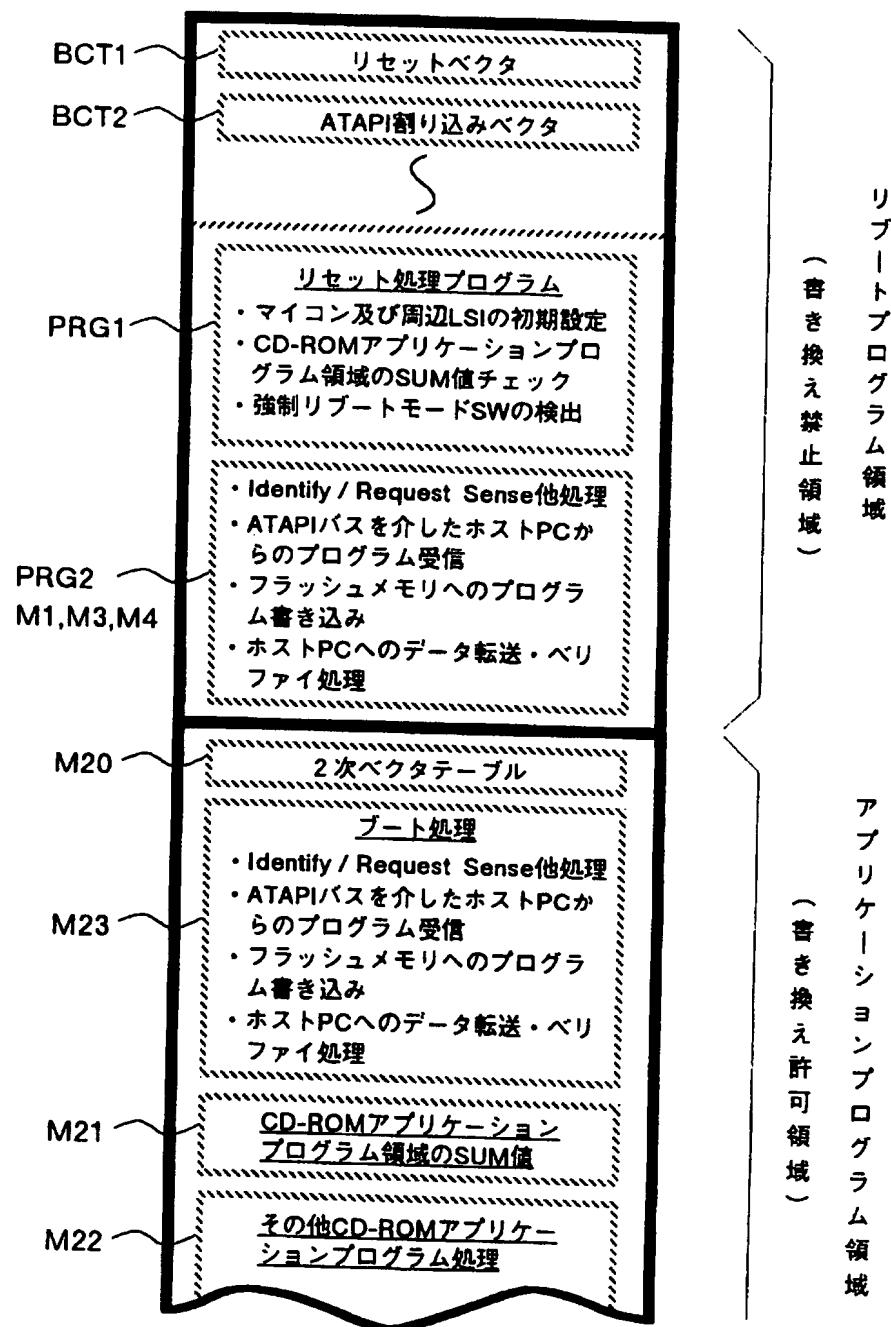


22 / 28

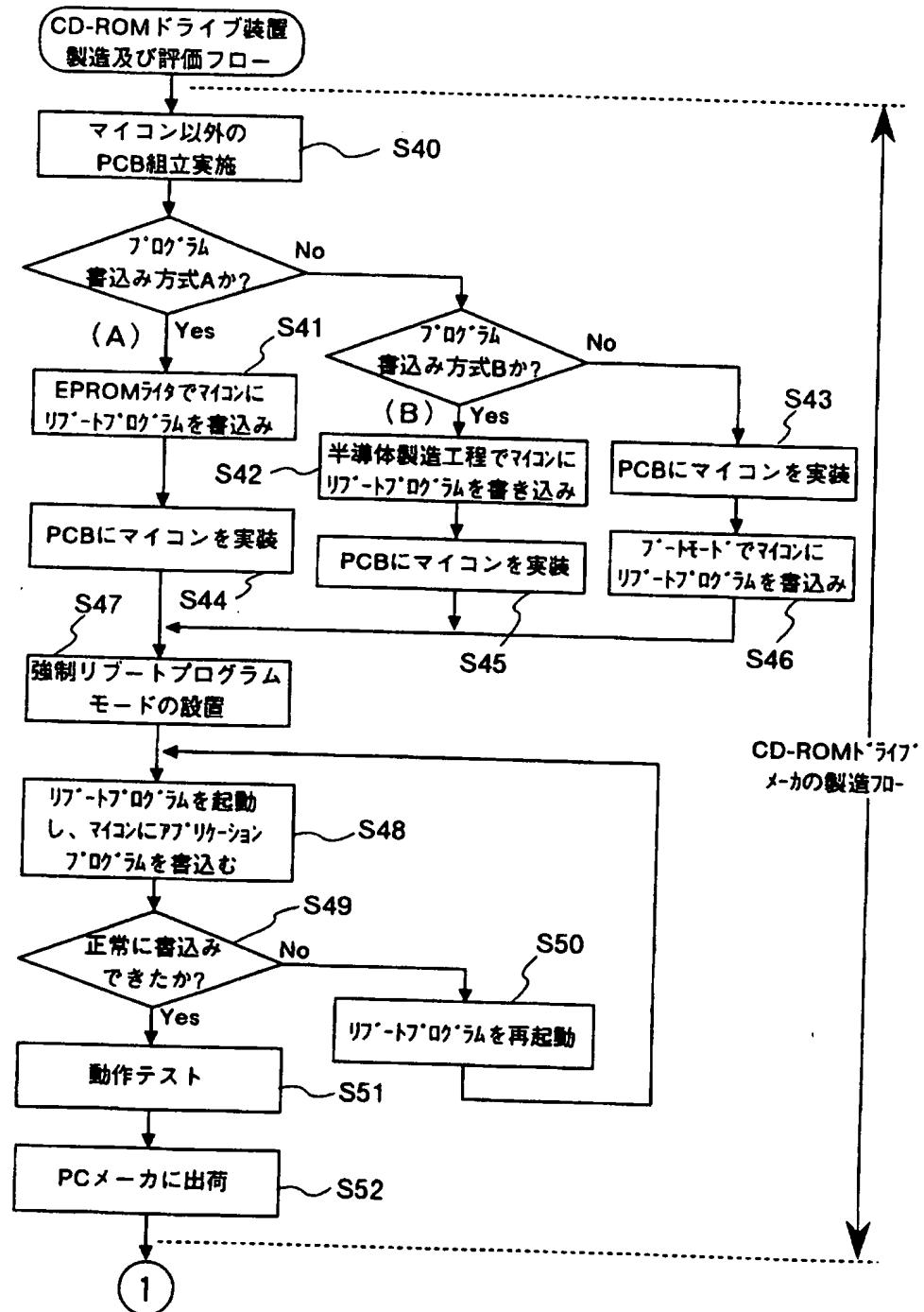
第24図



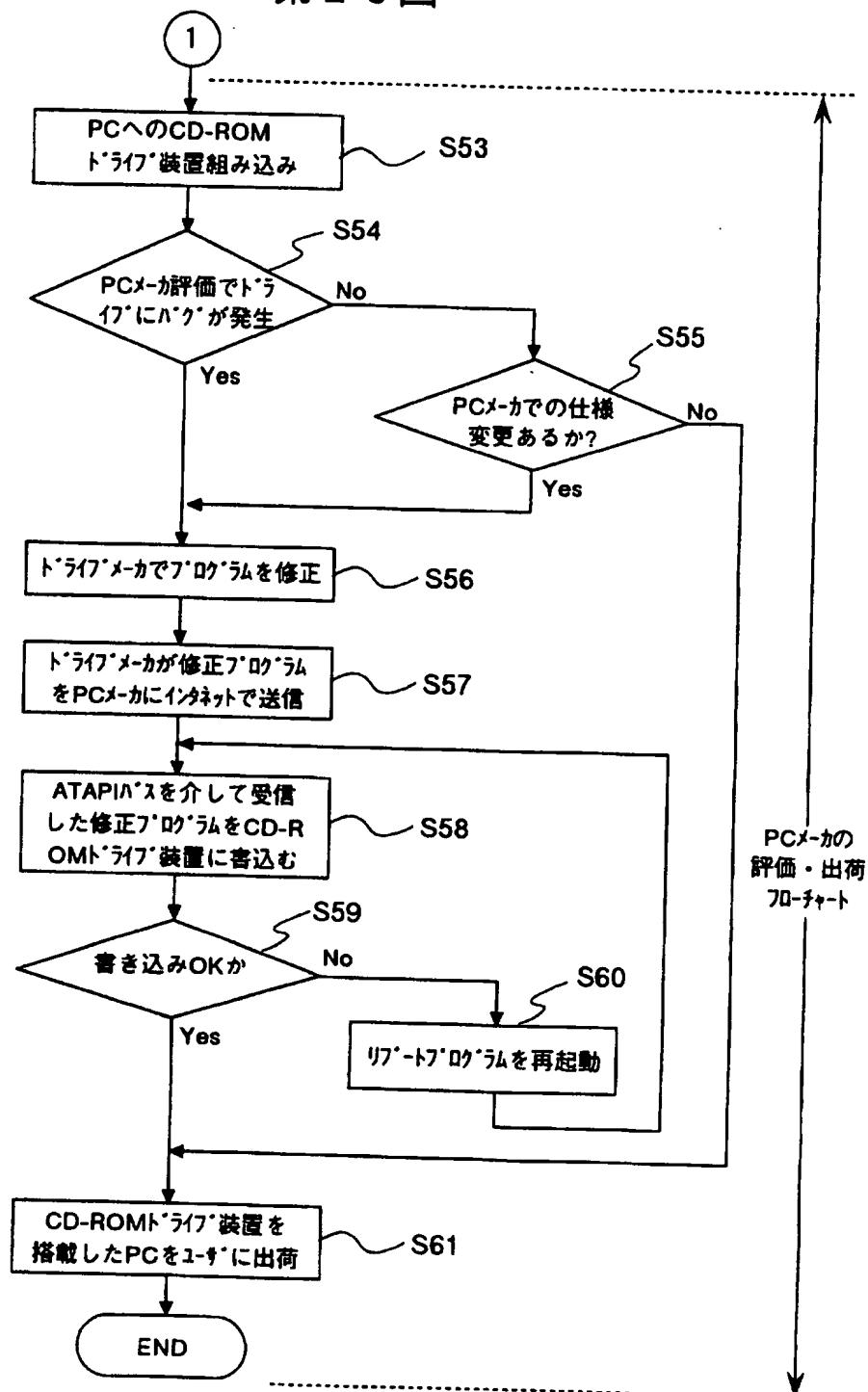
第26図



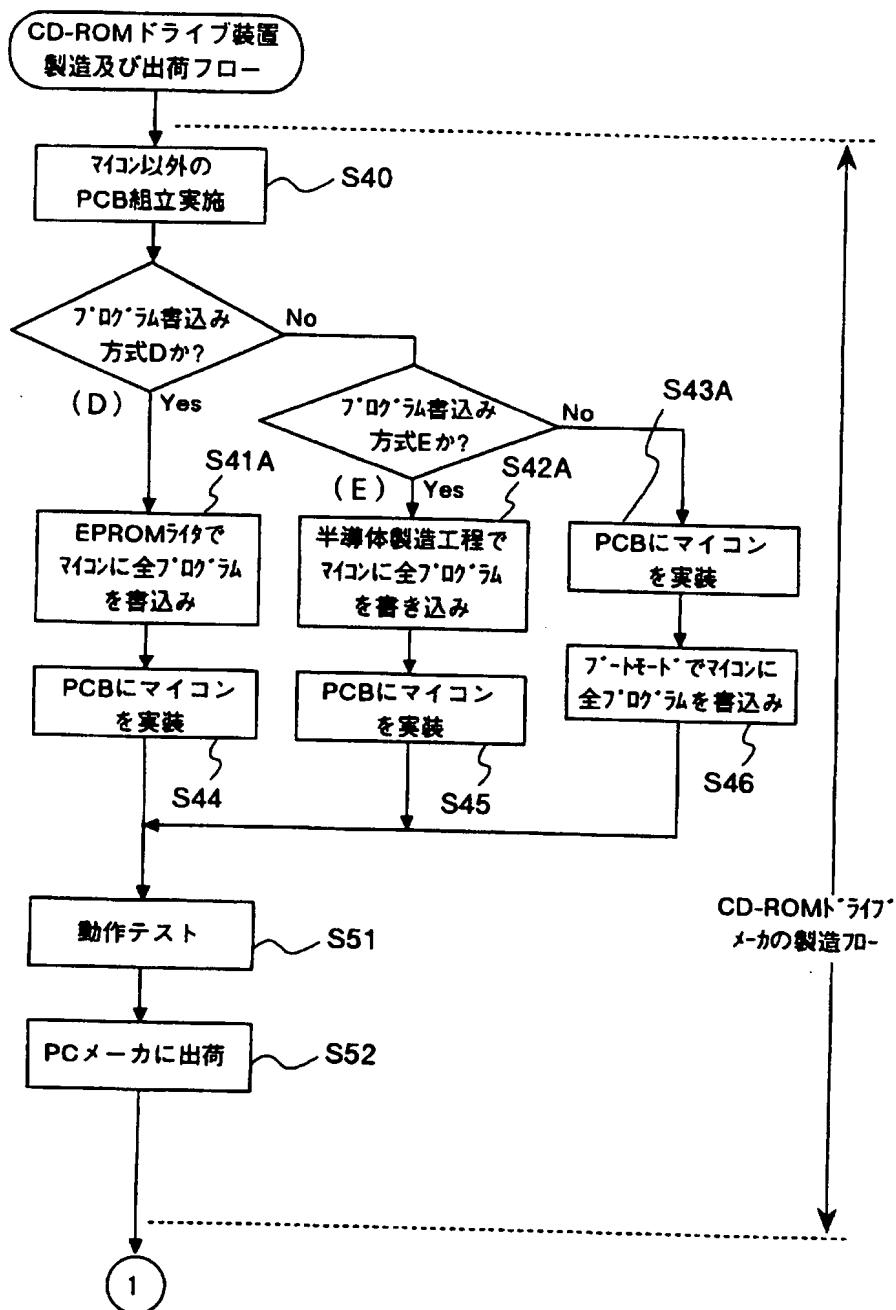
第27図



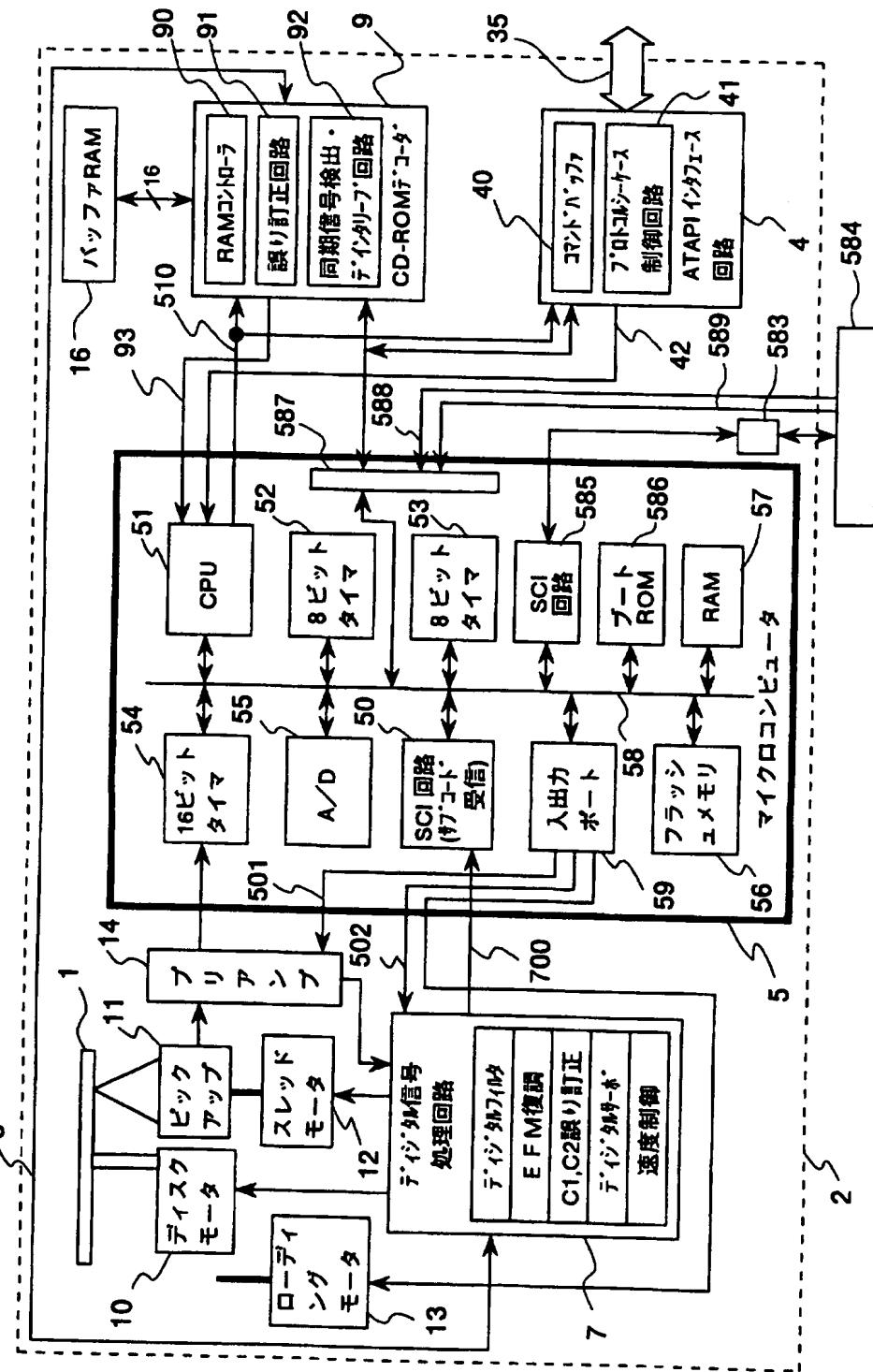
第28図



第29図

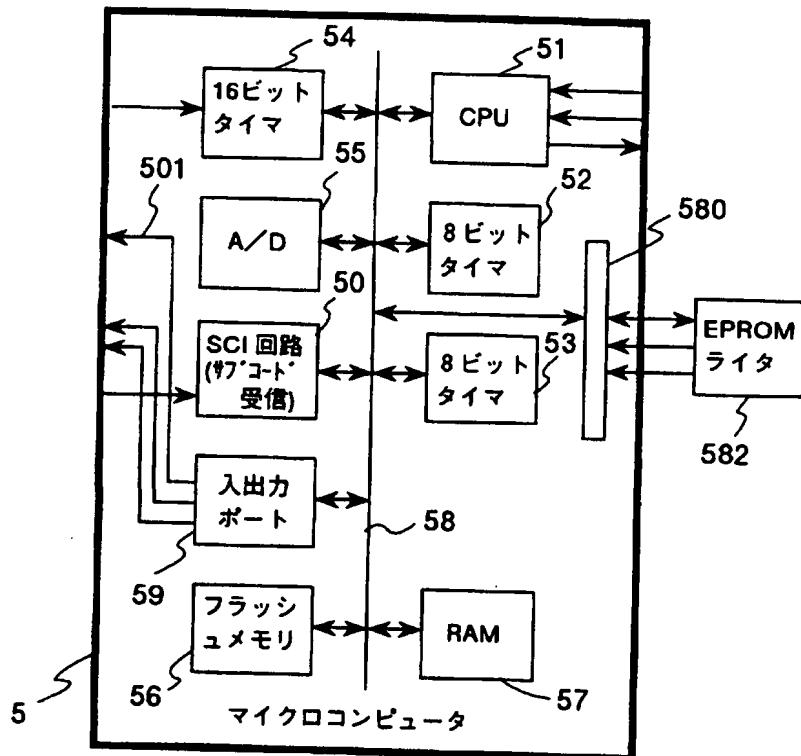


第30図



28 / 28

第31図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/01204

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F9/06, G11B20/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F3/06, 9/06, 12/16, 13/10, G11B20/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1971 - 1997
Kokai Jitsuyo Shinan Koho	1971 - 1997
Toroku Jitsuyo Shinan Koho	1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 2-81130, A (Hitachi, Ltd.), March 22, 1990 (22. 03. 90) (Family: none)	1 - 20
Y	Interface, Vol. 21, No. 8, August 1995 (Tokyo), Shioichi Watanabe, Yoshiyuki Sato "Utilization of Microcomputer with Built-In Flash Memory (in Japanese)" p. 175-185	1 - 20
Y	JP, 6-175829, A (Dell USA, L.P.), June 24, 1994 (24. 06. 94) & EP, 524719, A2 & US, 5388267, A	1 - 20
Y	JP, 7-64795, A (Toshiba Corp.), March 10, 1995 (10. 03. 95) (Family: none)	1 - 20

Further documents are listed in the continuation of Box C.

See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

July 8, 1997 (08. 07. 97)

Date of mailing of the international search report

July 15, 1997 (15. 07. 97)

Name and mailing address of the ISA/
Japanese Patent Office
Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' G06F9/06, G11B20/10

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' G06F3/06, 9/06, 12/16, 13/10, G11B20/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1971-1997年
 日本国公開実用新案公報 1971-1997年
 日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 2-81130, A (株式会社日立製作所), 22. 3月. 1990 (22. 03. 90) (ファミリーなし)	1-20
Y	インターフェース、第21巻、第8号、8月、1995(東京) 渡辺照一、佐藤善幸「フラッシュ・メモリ内蔵マイコンの活用」p. 175-185	1-20
Y	J P, 6-175829, A (デル ユーエスエー、エル、ピー.), 24. 6月. 1994 (24. 06. 94) &EP, 524719, A2 &US, 5388267, A	1-20
Y	J P, 7-64795, A (株式会社東芝), 10. 3月. 1995 (10. 03. 95) (ファミリーなし)	1-20

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08. 07. 97

国際調査報告の発送日

15.07.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)
多賀 実

5B 9367

電話番号 03-3581-1101 内線 3545